МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСІТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

ЦИФРОВА СХЕМОТЕХНІКА

Конспект лекцій до вивчення кредитного модуля дисципліни
«Цифрова схемотехніка»

Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського
як навчальний посібник для студентів,
які навчаються за спеціальністю 163 - Біомедична інженерія,
спеціалізацією «Клінічна інженерія»

Київ
КПІ ім. Ігоря Сікорського
2019

ЦИФРОВА СХЕМОТЕНІКА: конспект лекцій до вивчення кредитного модуля дисципліни «Цифрова схемотехніка» [Електронний ресурс] : навч. посіб. для студ. спеціальності 163 - «Біомедична інженерія», спеціалізації «Клінічна інженерія»/ КПІ ім. Ігоря Сікорського; уклад. В. І. Зубчук, М Делавар-Касмаі. – Електронні текстові данні (1 файл 2.84 Мбайт).– Київ: КПІ ім.Ігоря Сікорського», 2019. – 184 с.

Гриф надано Методичною радою КПІ ім. Ігоря Сікорського (протокол № __ від ___ . ___. 2019 р.) за поданням Вченої ради факультету біомедичної інженерії (протокол № ___ від ___.__.2019р.)

Електронне мережне навчальне видання

ЦИФРОВА СХЕМОТЕХНІКА

Конспект лекцій до вивчення кредитного модуля дисципліни «Цифрова схемотехніка»

Укладачі: ***Зубчук*: *Віктор Іванович,*** канд.техн. наук, доцент

Делавар-Касмаі Мохаммад, канд.техн. наук, ст..викл.

Відповідальний

редактор: ***Шликов В.В.,*** доцент каф. БМІ,, канд. техн. наук, доцент

Рецензенти: ***Настенко Є.А.,*** проф., д-р біол. наук, канд. техн. наук

Дубко А.Г., ст. наук. співроб., канд. техн. наук

У циклі лекцій розглянуті теоретичні основи, принципи функціонування та методи розрахунків основних функціональних вузлів цифрової схемотехніки по розділам: електронні ключі на діодах і транзисторах, логічні елементи на засадах ДТЛ-, ТТЛ-, ЕЗЛ-, МДП- та $I^2Л$-технологій, перетворювачі кодів, включаючи шифратори, дешифратори, мультиплексори, демультиплексори, комбінаційні суматори, цифрові компаратори, основні типи тригерів (синхронні і асинхронні RS-, D-, JK- тригери), регістри, асинхронні і синхронні лічильники, імпульсні пристрої для детектування, формування і генерації імпульсів, цифро-аналогові та аналого-цифрові перетворювачі.

© КПІ ім.. Ігоря Сікорського

Зміст

1. Електронні ключі 7
1.1. Діодні електронні ключі 7
1.2. Електронні ключі на біполярних транзисторах 10
1.3.Перехідні процеси 14
1.4.Ключ на біполярному транзисторі з нелінійним зворотнім зв'язком . 18
1.5.Електронні ключі на польових транзисторах 21
2. Діодно-транзисторні логічні елементи (ДТЛ) 27
2.1. Базовий елемент І-НЕ (елемент Шеффера) 27
2.2.Логічний елемент І-АБО-НЕ (АБО-НЕ) 31
3. Транзисторно-транзисторна логіка (ТТЛ) 33
3.1. Базовий елемент І-НЕ (елемент Шеффера) 33
3.2. Модифікація ЛЕ І-НЕ 36
3.2.1.ЛЕ із вільним колектором 36
3.2.2.ЛЕ з блокуванням 37
3.3. ЛЕ І-АБО-НЕ, АБО-НЕ 38
4. Емітерно-зв'язана логіка (ЕЗЛ) 40
4.1.Базовий логічний елемент АБО / АБО-НЕ 41
4.2. Базовий логічний елемент Е2ЗЛ 43
5. Логічні елементи на МДП-транзисторах 45
5.1. ЛЕ типу І-НЕ 45
5.1.1. n-МДП технологія 45
5.1.2. КМДП технологія 47
5.2. ЛЕ типу АБО-НЕ 48
5.2.1. n-МДП технологія 49
5.2.2. КМДП технологія 50
5.3. Елементи двоступеневої логіки 51
5.3.1. n-МДП технологія 51
5.3.2. КМДП технологія 53
5.4. Буферні підсилювачі 54
6. Елементи інтегральної інжекційної логіки ($I^2Л$) 55
6.1. Базовий елемент 55
6.1.1. Вхідна характеристика 57

6.2.1. Вихідна характеристика 57
6.2. Реалізація логічних функцій АБО, АБО-НЕ, І, І-НЕ 58
7. Перетворювачі кодів (ПК) 62
7.1. Синтез перетворювача кодів 62
7.2. Шифратори 65
7.3.Дешифратори 60
7.3.1. Лінійні дешифратори 70
7.3.2. Пірамідальні дешифратори 72
7.3.3. Матричні дешифратори 73
7.4. Мультиплексори 74
7.5. Демультиплексори 77
7.6. Реалізація логічних функцій на мультиплексорах (MUX) 78
7.7. Комбінаційні пристрої зсуву 81
8. Комбінаційні суматори (SM) 83
8.1. Напівсуматори 83
8.2. Повні суматори 85
8.3. Віднімач 87
8.4. Алгебраїчний суматор 90
8.5. Багаторозрядні суматори 91
8.6. Двійково-десятковий суматор 94
8.7. Комбінаційний перемножувач 96
9. Цифрові компаратори (ЦК) 97
9.1. Однорозрядні ЦК 98
9.2. Багаторозрядні ЦК 99
9.3. ЦК на основі суматору 101
9.4. Секційні ЦК 102
10. Тригери 104
10.1. Асинхронні RS-тригери 104
10.1.1. RS-тригер на АБО-НЕ 104
10.1.2. RS-тригер на І-НЕ 105
10.2. Синхронні RS-тригери 106
10.2.1. RS-тригер на І-НЕ 106
10.2.2. RS-тригер на АБО-НЕ 107
10.3 Різновиди RS-тригерів 108

10.3.1. R-тригер 108
10.3.2. S-тригер 109
10.3.3 E-тригер 110
10.4. RS-тригери типу «защіпка» 111
10.5. RS-тригери типу MS (Master-Slave)..... 112
10.6. D-тригери 114
10.7. D-тригери типу «защіпка»..... 115
10.8. D-тригери типу MS (Master-Slave)..... 116
10.9. Універсальний JK-тригер типу MS..... 117
10.10. JK-тригер типа «защіпка»..... 118
11. Регістри 120
11.1. Паралельні регістри 121
11.2. Регістри зсуву 124
12. Лічильники (СТ) 129
12.1. Асинхронні двійкові лічильники..... 129
12.2. Реверсивні двійкові лічильники 131
12.3. Лічильники із довільним коефіцієнтом рахунку..... 132
12.4. Двійковий лічильник з керованим коефіцієнтом рахунку К 134
12.5. Синхронний двійковий СТ 135
12.6. Реверсивні синхронні лічильники..... 137
12.7. Синтез синхронних СТ з довільною таблицею переходів 138
12.8. Синхронний лічильник з мультиплексорним керуванням 143
12.9. Синхронний лічильник зі схемою керування на дешифраторі…….....144
13. Імпульсні пристрої..... 146
13.1. Детектори фронтів імпульсів..... 146
13.1.1. Детектори позитивного фронту (ДПФ) 147
13.1.2. Детектори негативного фронту (ДНФ) 147
13.1.3. Детектори фронтів (ДФ).....148
13.2. Розширювач імпульсів..... 148
13.3. Одновібратори (ОВ)..... 149
13.3.1. ОВ на 2І-НЕ.....149
13.3.2. ОВ на АБО-НЕ 150
13.3.3. ОВ на RS – тригері.....151

13.3.4. ОВ на операційному підсилювачі (ОП) 152
13.4. Мультивібратори (МВ) 154
13.4.1. МВ на логічних інверторах (НЕ) 154
13.4.2. МВ на І-НЕ з автозапуском 156
13.4.3. МВ на тригері Шмідта (ТШ) 158
13.4.4. МВ на основі операційного підсилювача 159
13.4.5. МВ на RS — тригері 162
13.4.6. МВ на двох **операційних підсилювачах** 163
13.5. Генератори лінійно змінної напруги 164
13.5.1. Генератор ЛЗН на динисторі 164
13.5.2. Формувач **ЛЗН на операційному підсилювачі** 167
14. Цифро-аналогові та аналого-цифрові перетворювачі 168
14.1. ЦАП на основі аналогового суматора 169
14.2. ЦАП на основі лінійки резисторів R-2R 171
14.3. ЦАП на перемикачах струму 172
14.4. АЦП розгортаючого врівноваження 174
14.5. АЦП слідкуючого врівноваження 176
14.6. АЦП порозрядного врівноваження 178
14.7. АЦП подвійного інтегрування 179
14.8. АЦП паралельного перетворення 182
14.9. Конвеєрний АЦП 183

1. Електронні ключі

Технічні реалізації цифрових схем, в яких сигнали представлені дискретно квантовими рівнями напруги (струму), засновані на використанні електронних комутаторів напруги (струму), що називаються електронними ключами.

В якості нелінійних приладів з керованим опором в електронних ключах використовуються напівпровідникові діоди, транзистори, фототранзистори, тиристори, оптрони, електронні лампи.

1.1. Діодні електронні ключі

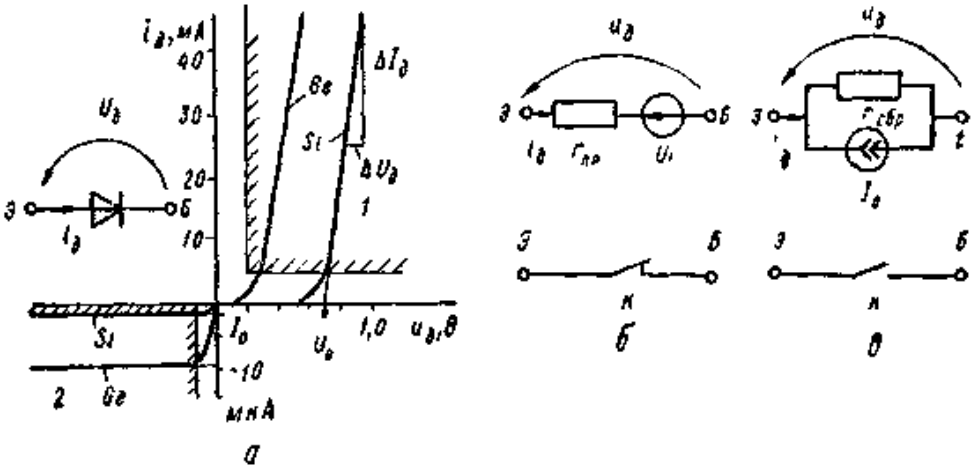


Рис. 1.1

У діодних ключах використовується залежність опору діода від величини і знака прикладеної напруги. На рис. 1.1. (А) показані типові статичні ВАХ германієвого (Ge) і кремнієвого (Si) діодів, а на рис. 1.1. (Б) і (В) - еквівалентні схеми заміщення діода на постійному струмі для лінеаризованих (виділених штрихуванням) областей відповідно 1 і 2. Струм p-n-переходу $i_д$ діода і напруга $U_д$ на ньому пов'язані співвідношенням:

$$i_д = I_0 \{\exp [U_д / (m\, \varphi_т)] - 1\} = I_0 \{\exp [U_д\, q /(m\, k\, T)] - 1\}, \qquad (1.1)$$

де I_0 - тепловий струм насичення;

$\varphi_т$ - температурний потенціал (при нормальній температурі T = 298 ° К, φт = 26 мВ);

k - стала Больцмана;

T - абсолютна температура;

q - заряд електрона;

m - коефіцієнт, що враховує вплив поверхневих струмів витоку германієвих діодів і струмів генерації-рекомбінації в p-n-переході кремнієвих діодів (для германієвих діодів $m^{Ge} \approx 1{,}2 \ldots 1{,}5$, для кремнієвих - $m^{Si} \approx 1{,}2 \ldots 2$). Тепловий струм насичення I_0 практично не залежить від прикладеної до діода напруги і визначається електрофізичними властивостями матеріалу напівпровідника і температурою його нагрівання:

$$I_0 = I_{00} \exp [- U_к / ф_т],$$

де I_{00} - константа, обумовлена матеріалом напівпровідника і концентраціями домішок;

Uк - контактна різниця потенціалів ($U_к^{Ge}$ = 0,3...0,4 В, $U_к^{Si}$ = 0,6...0,7 В).

Тепловий струм насичення I_0 з ростом температури експоненціально наростає. У наближених розрахунках прийнято вважати, що струм I_0 у разі германієвого діода подвоюється зі збільшенням температури на кожні 10°С, а в разі кремнієвого - на кожні 7°С.

З урахуванням активного опору p- і n- областей, контактних опорів виведень і співвідношення (1.1) для реального діода:

$$U_д = U^*_д + i_д r = m\,ф_т \ln(i_д / I_0 + 1) + i_д r, \qquad (1.2)$$

де r - сумарний активний опір p-, n - областей і контактів діода.

Диференціальний активний опір діода отримаємо з виразу (1.2) :

$$r_д = dU_д / di_д = mф_т / (I_0 + i_д) + r,$$

Опір $r_д$ нелінійний і залежить від струму діода ід. Але при досить великих напругах прямого зміщення ($U_д >> U_к$) опір $r_д \approx r$, тобто опір еквівалентної схеми заміщення діода (рис. 1.1. (6)) $R_{пр} \approx r$ і має порядок одиниць і десятків Ом. При зворотному зміщенні діода ($U_д$ <0) $i_д \approx 0$, $r_д = R_{обр} = m_{фт} / I0 + r \approx m_{фт} / I_0$ і має порядок десятків і сотень кілоОм.

Напругу U_0 еквівалентного джерела напруги в схемі заміщення (рис. 1.1-б) отримують екстраполяцією квазілінійних ділянок області 1 ВАХ до перетину з віссю абсцис, воно має порядок контактної різниці потенціалів: $U_0 \sim U_к$.

Схема найпростішого діодного ключа, керованого джерелом сигналу U_1 і навантаженого на опір $R_н$, показана на рис. 1.2-а, а на рис. 1.2-б, і в - еквівалентні схеми заміщення відповідно для сигналу логічних «1» і «0» на вході.

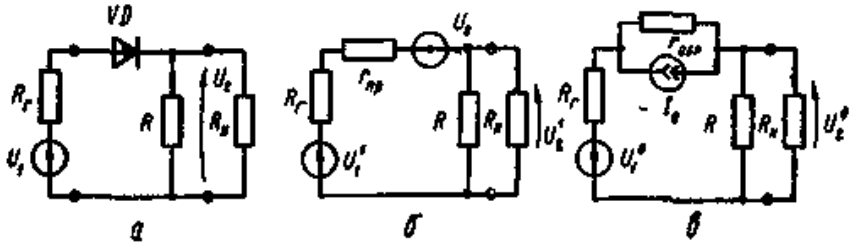


Рис. 1.2

Визначимо значення вихідних напруг в кожному з станів ключа, скориставшись принципом суперпозиції. При низькому рівні напруги на вході (U01 << 0) діод VD замкнений, ключ розімкнений (рис. 1.2-в) і на його виході встановлюється низький рівень:

$$U^0_2 = U^0_1[(R||R_н) / (R_г + r_{обр} + R||R_н)] - I_0[r_{обр}||(R||R_н + R_р)], \qquad (1.3)$$

Оскільки зазвичай $r_{обр} >> R, R_н$ можна наближено вважати $U_2^0 \approx -I_0$ (R || Rн).

При високому рівні вхідного сигналу U^1_1 діод VD відкритий, ключ замкнутий (рис. 1.2.-б) і на виході ключа має місце високий рівень:

$$U^1_2 = [(U^1_1 - U_0)(R||R_и)] / [R_г + r_{пр} + R||R_н], \qquad (1.4)$$

Оскільки зазвичай $r_{пр} << R, R_н$ можна наближено вважати $U_2^1 \approx U_1^1 - U_0$.

Зі співвідношень (1.3) і (1.4) видно, що перепад напруги на виході: $\Delta U_2 = U^1_2 - U^{02} < \Delta U_1 = U^1_1 - U^0_1$ (менше на величину U_0). Ослаблення сигналу на виході тим більше, чим більше опір джерела сигналу $R_г$. Недоліком діодного ключа на рисунку 1.2 є пряма залежність рівня U^1_2 від вхідного сигналу U^1_1.

Другий варіант діодного ключа показаний на рис. 1.3. При низькому рівні вхідного сигналу діод VD відкритий і через нього протікає струм джерела живлення $U_{дж.ж.}$, що обмежується опором R. Якщо $R >> R_г$, то практично вся напруга живлення $U_{дж.ж.}$ падає на опорі R, тому на опорі навантаження ключа Rн встановлюється низький потенціал U^0_2 (рис. 1.3-*б*):

$$U^0_2 = U_{дж.ж.}[(R_н||(R_г + r_{пр})) / (R + R_н||(R_г + r_{пр}))] + (U^0_1 + U_0)[(R||R_н) / (R_г + r_{пр} + R||R_н)].$$

Якщо $R_г + r_{пр} << R||R_н$, то $U^0_2 \sim U^0_1 + U_0$.

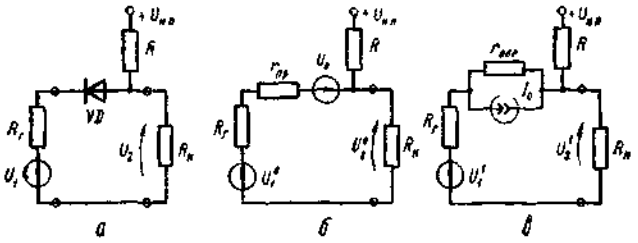


Рис. 1.3

При високому рівні вхідного сигналу, якщо виконується умова $U^1_1 > U_{дж.ж.}$ Rн / (R + Rн), діод VD замкнений, вхідний ланцюг практично відключений від навантаження (рис. 1.3-*в*) і на виході встановлюється високий рівень напруги:

$$\mathbf{U^1_2 = U_{дж.ж.}[(R_и||(r_{обр} + R_г)) / (R + R_н||(r_{обр} + R_г))] + U^1_1[R||R_н / (R_г + r_{пр} + R||R_в)] + + I_0(R||R_и||(R_г + r_{обр})),}$$

Зазвичай $r_{обр} >> R_г, R_н$, тому $U^1_2 \approx (U_{дж.ж.} + RI_0)\, R_и / (R + R_н)$ і практично не залежить від вхідного сигналу. Відзначимо, що якщо в схемі ключа на рис.1.2 низький рівень вихідного сигналу $U^0_2 \approx 0$, а високий залежить від вхідного сигналу U^1_1, то в схемі ключа на рис. 1.3, навпаки, низький рівень $U^0_2 \approx U^0_1 + U_0$ пропорційний вхідному сигналу, а високий U^1_2 від нього не залежить.

Розглянуті діодні ключі можна використовувати для побудови найпростіших комбінаційних логічних схем. На рис. 1.4-*а* показана схема, а на рис. 1.4-*б* - таблиця істинності і умовне графічне позначення двовходового диз'юнктора на діодних ключах. Тільки у випадку, коли на обох входах низькі рівні U^0_{11} і U^0_{12} діоди VD1, VD2 замкнені, вихід відключений від входів, і на ньому встановлюється низький рівень. При будь-яких інших комбінаціях вихід підключається до того входу, на який подано найбільш високий рівень, тобто. $U^1_2 \approx \max\{U_{11}, U_{12}) - U_0$. Цей вираз є аналоговим еквівалентом диз'юнкції.

Схема на рис. 1.4-*в* - варіант ключа на рис. 1.3 для двох входів. Якщо хоча б один з діодів VD1, VD2 відкритий низьким рівнем вхідного сигналу, вихід схеми виявляється підключеним до входу з найбільш низьким потенціалом. І тільки тоді, коли всі діоди замкнені високими рівнями на входах, вихідний ланцюг відключається від входів і на навантаженні встановлюється високий потенціал. Як видно з таблиці істинності на рис. 1.4-*г*,

така схема реалізує логічну операцію кон'юнкції. Її аналоговий еквівалент визначається виразом $U^0_2 \approx \min\{U_{11}, U_{12}) + U_0$

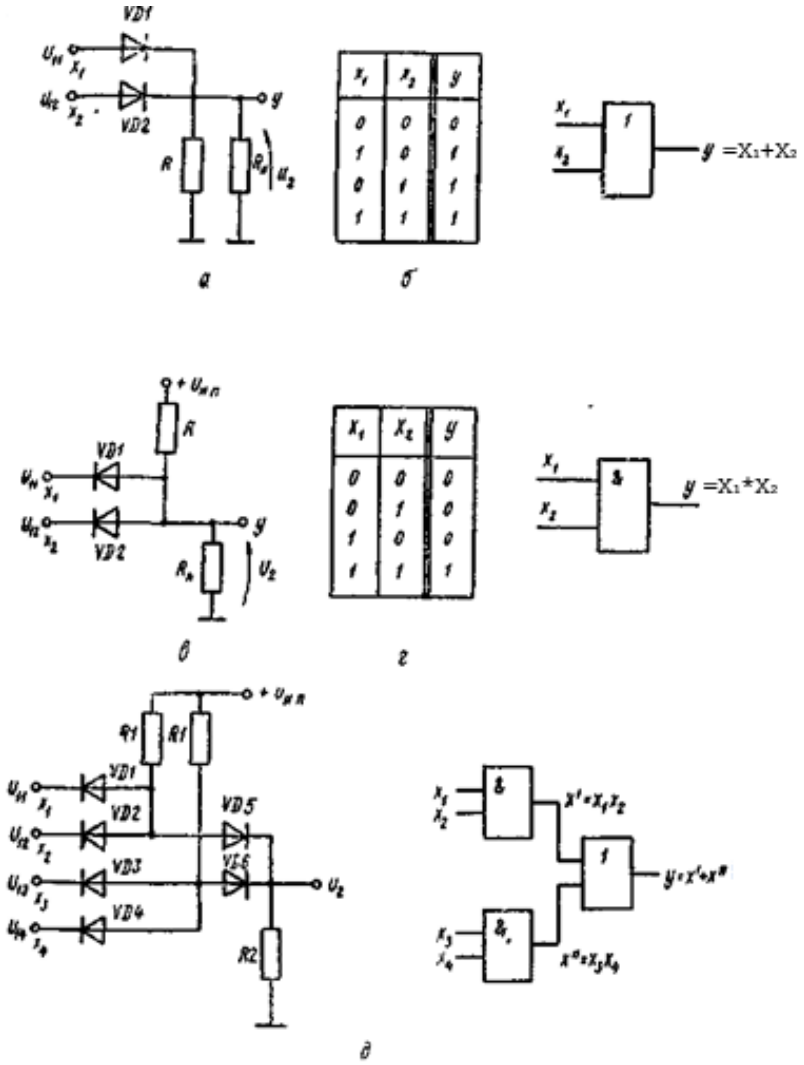


Рис. 1.4

На основі діодних ключів будуються двоступеневі комбінаційні логічні елементи. Наведена на рис. 1.4-*д* схема реалізує логічну функцію $y = x_1x_2 + x_3x_4$ або для електричних сигналів $U_2 \approx \max\{\min[U_{11}, U_{12}], \min[U_{13}, U_{14}]\}$. Оскільки схема складається з пасивних компонентів, вхідний сигнал послаблюється при проходженні кожного логічного ступеню. Для того щоб амплітуда вихідного сигналу U_2 була максимальною, необхідно виконувати умови $R_1 << R_2 << R_н$, що неминуче призводить до зростання енергоспоживання схеми.

1.2. Електронні ключі на біполярних транзисторах

Застосування біполярних транзисторів в електронних ключах ґрунтується на властивості транзисторів змінювати під дією керуючого сигналу опір від вельми великого (сотні кілоом) в режимі відсічення до значно меншого в активному режимі (одиниці кілоом) і дуже малого в режимі насичення (одиниці Ом).

На рис. 1.5-*а* показані статичні характеристики біполярного транзистора при включенні за схемою із загальним емітером (ЗЕ); на рис. 1.5-*б* - вхідні характеристики $I_Б = f_1(U_{бе})$ при $U_{ке}$ = const; на рис. 1.5-*в* - вихідні характеристики $i_к = f2(U_{ке})$ при $I_б$ = const.

Транзистор в ключових пристроях працює в режимі великого сигналу і його властивості можна описати нелінійною інжекційною моделлю Еберса-Молла з ідеальних діодів і керованих джерел струму (рис. 1.6).

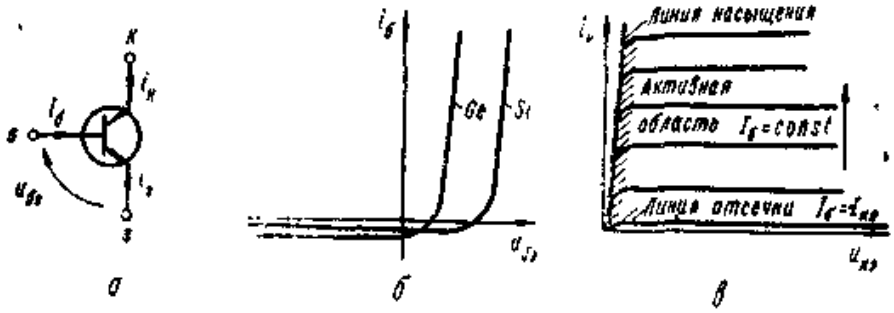


Рис. 1.5

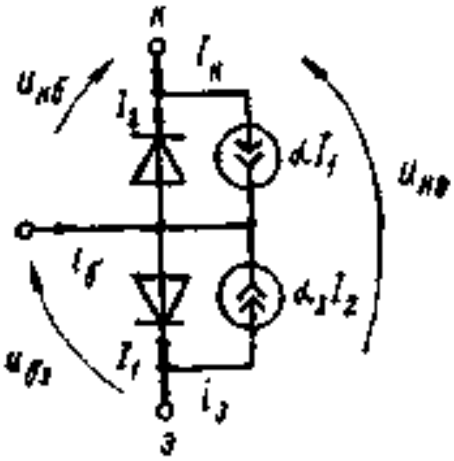


Рис. 1.6

Струми електродів транзистора в залежності від доданих до них напруг визначаються співвідношеннями:

$$\begin{cases} i_к = [(I_{k0}\alpha_I) / (\alpha\,(1 - \alpha\alpha_I))]\,[(\exp(\lambda U_{бэ}) - 1) - \alpha\,(\exp(\lambda U_{кб}) - 1)]; \\ i_э = [I_{k0} / (1 - \alpha\alpha_I)]\,[(\exp(\lambda U_{бэ}) - 1)\,\alpha_1 - \exp(\lambda U_{кб}) + 1)]; \\ i_б = i_э - i_к, \end{cases}$$

де $\lambda = 1 / (m\varphi_т)$;

$I_{к0}$ - зворотний струм колектора;

α і α_I- коефіцієнти передачі струму емітера в ланцюг колектора відповідно в нормальному та інверсному активних режимах.

Наведена модель використовується в основному при машинних методах проектування, а в наближених розрахунках використовуються кусочно-лінійно апроксимовані моделі.

Розглянемо схему найпростішого ключа на біполярному транзисторі npn-типу (рис. 1.7-*а*). Навантаженням ключа на транзисторі VT є резистор, підключений між виходом і загальною шиною ($R''_н$), або між виходом і джерелом живлення ($R'_н$), або навантаження може бути розділеним ($R'_н$, $R''_н$). Режим роботи транзистора визначається джерелами вхідного сигналу $U_г$ і вхідним ланцюгом з резисторів Rl, R2 і джерела замикаючого зміщення – $U_{дж.ж2}$. Резистори R1 і R2 повинні бути вибрані так, щоб при низькому рівні вхідного сигналу U^0_1 транзистор VT був надійно замкнений у всьому робочому діапазоні температур навколишнього середовища, а при високому рівні U^1_1 на вході транзистор повинен бути насичений.

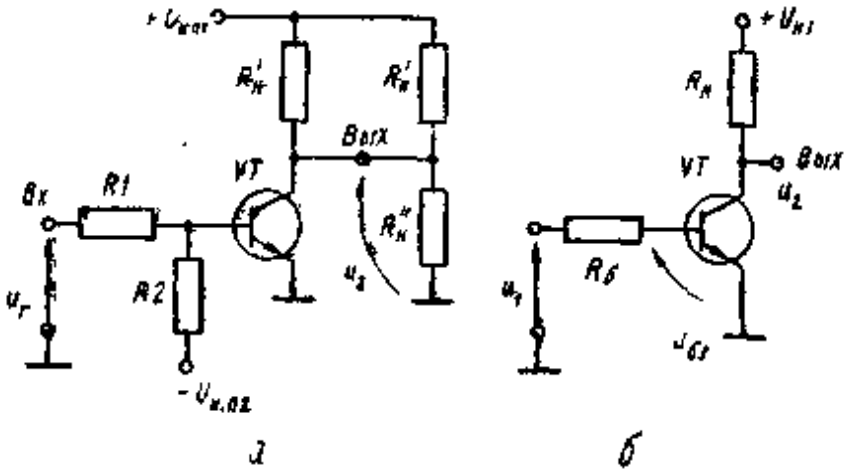


Рис.1.7

Джерело зміщення – $U_{дж.ж.2}$ не є обов'язковим, якщо режим відсічення транзистора забезпечується низьким рівнем вхідного сигналу U^0_1 і умова замикання не порушується при максимальній температурі навколишнього середовища.

Для спрощення аналізу статики і динаміки роботи такого ключа перетворимо схему, скориставшись теоремою про еквівалентний генератор. Компоненти перетвореної схеми (рис. 1.7-*б*) визначаються з співвідношень:

$$U_{дж.ж.} = [U'_{дж.ж.}R_н+U_пR'_к] / [R_н+R'_к], \quad R_к = R'_к \| R_н, \quad U_1 = (U_гR_н + U_{дж.ж.2}R_1) / (R_н + R_1).$$

Для забезпечення режиму відсічення транзистора необхідно, щоб при низькому рівні U^0_1 вхідного сигналу емітерний перехід транзистора був замкнений. Як видно з рис. 1.5-*б,* запираючим можна вважати низький потенціал U^0_1 на вході, що забезпечує на емітерному переході напругу $U_{бе} \leq U_0$. Якщо дана умова виконується, то обидва переходи транзистора замкнені і транзистор в схемі рис. 1.7-*б* у першому наближенні можна замінити джерелом зворотного струму колекторного переходу $I_{к0}$ (рис. 1.8-*а*).

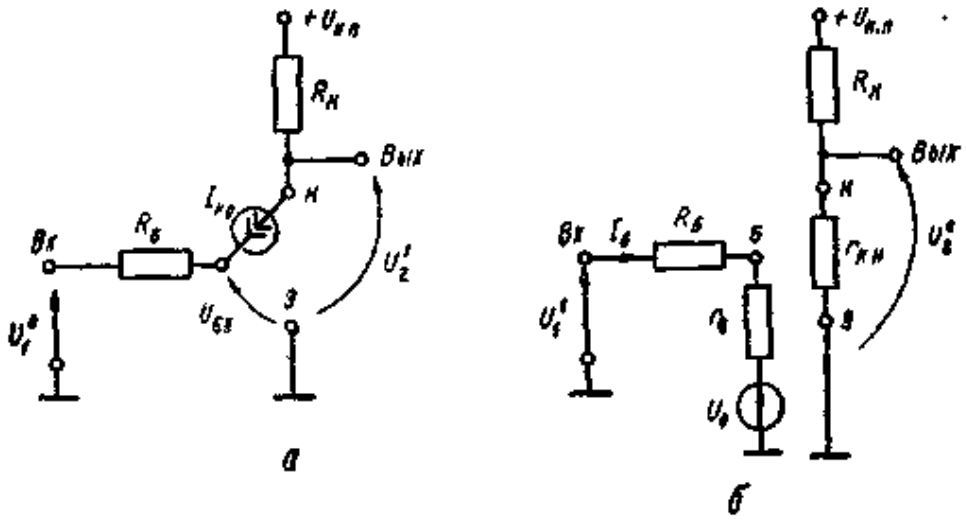


Рис.1.8

Тепловий струм $I_{к0}$ протікає через резистор $R_б$ і підвищує потенціал бази. Чим вище температура колекторного переходу, тим більше струм $I_{к0}$ і напруга $U_{бе}$. Умова запирання транзистора повинно виконуватися в найгіршому випадку, тобто при максимальній температурі колекторного переходу і відповідному струмі $I_{к0max}$ через нього:

$$U_{бе} = U^{0}_{1} + I_{к0max}R_б \leq U_{0}, \qquad (1.5)$$

Якщо умова (1.5) виконується, транзистор VT запертий, на його колекторі, що є виходом схеми, встановлюється високий рівень:

$$U^{1}_{2} = U_{дж.ж} - I_{к0}R_к, \qquad (1.6)$$

Для відпирання транзистора на вхід ключа необхідно подати високий рівень $U^{1}_{1} > U_0$. При цьому транзистор може знаходитися в активному режимі або в режимі насичення. Режим насичення настає в тому випадку, якщо струм бази $I_б$ транзистора досягає або перевищує значення $I_{бн}$, що відповідає положенню робочої точки транзистора на межі між активним режимом і режимом насичення: $I_б \geq I_{б.н}$.

Вхідний ланцюг насиченого транзистора в лінеаризованому варіанті можна представити подібно діоду послідовно з'єднаним об'ємним опором бази $r_б$ і джерелом напруги U_0. Опір між колектором і емітером насиченого транзистора визначається нахилом лінії насичення (рис. 1.5-*в*): $r_{кн} = \Delta U_{ке} / \Delta I_к$ при $I_б \geq I_{бн}$. Еквівалентна схема транзисторного ключа в режимі насичення показана на рис. 1.8-*б*. Для цієї схеми умова насичення має вигляд:

$$I_б = (U^{1}_{1} - U_0) / (r_б + R_б) \geq I_{бн} = I_{кн} / \beta_{min} = U_{дж.ж} / (\beta_{min}(R_к + r_{кн})). \qquad (1.7)$$

Оскільки коефіцієнт підсилення транзистора за струмом β має технологічний діапазон, нерівність (1.7) повинна виконуватися в найгірших умовах, тобто при найменшому допустимому значенні $\beta = \beta_{min}$. Якщо умова (1.7) виконується, транзистор VT насичений і на виході замкнутого ключа встановлюється низький рівень:

$$U_2^{0} = r_{кн} I_{кн} = r_{кн} U_{дж.ж.} /(R_к+r_{кн}).$$

1.3. Перехідні процеси

Інерційність ключа на біполярному транзисторі характеризується тривалістю циклу перемикання, який включає в себе: $t_{зт.вкл}$. - затримку включення транзистора при подачі на вхід ключа високого рівня сигналу U^1_1, який задовольняє умові (1.7); $t_{вкл}$ - тривалість включення транзистора, тобто час наростання струму через транзистор від теплового $I_{к0}$ до струму насичення $I_{к.н}$.; $t_р$ - тривалість затримки вимкнення, обумовлену розсмоктуванням заряду в базі при переході транзистора з насичення в активний режим; $t_{викл}$ - час виключення, тобто зменшення струму колектора транзистора від струму насичення $I_{кн}$ до рівня струму $I_{к0}$; $t^{01}_ф$ - тривалість фронту наростання потенціалу на колекторі транзистора, пов'язану з зарядом ємностей навантаження і монтажу.

Тоді повний цикл перемикання або роздільний час дорівнює сумі названих інтервалів:

$$T_{роз} = t_{зт.вкл} + t_{вкл} + t_р + t^{01}_ф.$$

Це час, що є необхідним для перезаряду паразитних ємностей монтажу схеми, міжелектродних ємностей транзистора, для накопичення заряду неосновних носіїв у базі транзистора при відпиранні і рекомбінації цього заряду при запиранні транзистора.

Оскільки колекторний струм біполярного транзистора являє собою струм екстракції неосновних носіїв (тут - електронів) з бази і пропорційний заряду в базі, перехідні процеси зручно аналізувати по динаміці зміни заряду бази. Тому такий метод аналізу перехідних процесів називають методом аналізу заряду бази.

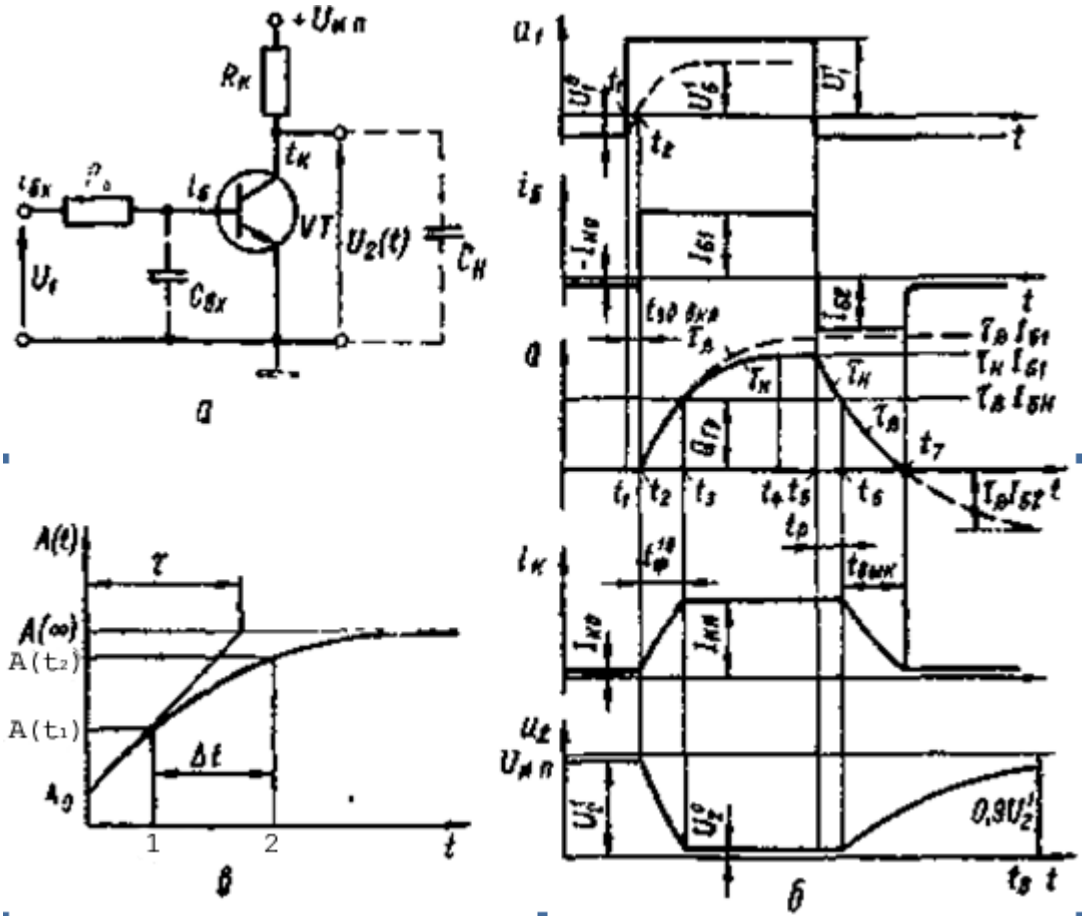


Рис. 1.9

На рис. 1.9-*а* продемонстровано варіант еквівалентної схеми (див. рис. 1.7-*б*) транзисторного ключа, на якій показана ємність навантаження $C_н$ і еквівалентна вхідна ємність транзистора $C_{вх}$, обумовлена ємностями емітерного і колекторного переходів транзистора, а також паразитної ємністю монтажу.

Розглянемо характерні ділянки перехідного процесу за часовими діаграмами (рис. 1.9-*б*).

1. До моменту часу t_1 транзистор VT запертий низьким рівнем вхідного сигналу U^0_1, що задовольняє умові (1.5). Струм в ланцюзі бази транзистора визначається зворотним струмом колекторного переходу: $I_Б = - I_{к0}$. Заряд Q бази при відсутності інжекції неосновних носіїв через емітерний перехід практично відсутній: $Q \approx 0$. У ланцюзі колектора протікає зворотний струм колекторного переходу $I_к = I_{к0}$. На виході ключа підтримується високий рівень :

$$U^1_2 = U_{дж.ж.} - I_{к0} R_к.$$

2. У момент t_1 потенціал на вході ключа стрибком збільшується від U^0_1 до U^1_1. Потенціал бази транзистора $U_б$ наростає при заряді конденсатора $C_{вх}$ через опір $R_б$. Напруга $U_б$ збільшується за експоненціальним законом з постійною часу $\tau_б = R_б C_{вх}$ від початкової напруги $U^0_{Cвх} = U^0_1 + R_б I_{к0}$ до асимптотичного рівня $UC_{вх}(\infty) = U^1_1 + R_б I_{к0}$. До моменту t_2, поки напруга на базі залишається меншою, ніж порогова напруга U_0, транзистор залишається в режимі відсічення, заряд бази, потенціал і струм колектора не змінюються. Інтервал часу від t_1 до t_2, коли потенціал бази $U_б$ (напруга на емітерному переході $U_{бе}$) досягає рівня

порогової напруги U_0, визначає тривалість затримки включення транзистора $t_{зт.вкл} = t_2 - t_1$. Для визначення тривалості $t_{зт.вкл}$ скористаємося властивістю експоненціальної функції (рис. 1.9-*в*) $A(t) = A_0+(A_\infty - A_0)(e^{-t/\tau} - 1)$, яка полягає в наступному: якщо відомі параметри експоненційної функції $A\infty$ - асимптотичне значення, τ - постійна часу, $A(t_1)$ і $A(t_2)$ - рівні експоненти, то тривалість інтервалу від t_1 до t_2 визначається співвідношенням:

$$_{\Delta}t = t_2 - t_1 = \tau \ln[(A\infty - A\{t_1\})/(A\infty - A\{t_2\})]. \qquad (1.8)$$

Скориставшись даним виразом, визначимо тривалість затримки включення:

$$t_{зд.вкл} = \tau_б \ln [(U^1{}_1+I_{к0}R_б-\{U^0{}_1+ I_{к0}R_б\})/(U^1{}_1+ I_{к0}R_б-U_0)] \approx R_бC_{вх} \ln [(U^1{}_1-U^0{}_1)/(U^1{}_1-U_0)]. \qquad (1.9)$$

3. У момент t_2 потенціал бази перевищує порогову напругу U_0, відкривається емітерний перехід і транзистор перемикається з режиму відсічення в активний режим. Інжектовані емітером в базу неосновні носії (в n-p-n-транзисторі це електрони, а в p-n-p - дірки) порушують рівновісний стан бази і починається накопичення заряду. Швидкість накопичення заряду тим більше, чим більше струм бази $I_б(t)$. При досить великому струмі бази вхідний ланцюг транзистора можна представити у вигляді рис. 1.8-*б*. Тоді струм в ланцюзі бази відкритого транзистора:

$$i_б(t) = (U_1(t)-U_0)/(R_б+r_б).$$

Приріст заряду неосновних носіїв ΔQ в одиницю часу на інтервалі Δt визначається виразом:

$$_{\Delta}Q/_{\Delta}t = i_б(t)-Q/\tau_{\beta}, \qquad (1.10)$$

де τ_β - середній час життя неосновних носіїв. У виразі (1.10) перший доданок характеризує збільшення заряду в базі (якщо $I_б(t) > 0$), а другий - зменшення заряду внаслідок кінцевого часу життя неосновних носіїв заряду і рекомбінації частини носіїв в активній області бази.

У межі для нескінченно малих проміжків часу отримуємо диференціальне рівняння першого порядку:

$$dQ/dt = i_б(t)-Q/\tau_\beta, \qquad (1.11)$$

Якщо $U_1(t) = U^1{}_1 = const$, струм бази транзистора залишається практично сталим:

$$i_б(t) = I_{б1} = (U^1{}_1-U_0)/(R_б+r_б) \sim U^1{}_1/R_б.$$

то розв'язком рівняння (1.11) є експоненціальна функція:

$$Q(t) = Q_1[1-\exp(-t/\tau_\beta)]+Q_0, \qquad (1.12)$$

де:

$$Q_1 = \tau_\beta I_{б1}. \qquad (1.13)$$

З накопиченням заряду в базі пропорційно збільшується струм колектора, зростає падіння напруги на резисторі $R_к$ і падає потенціал колектора. У момент t_3 транзистор переходить з активного режиму в режим насичення, припиняється ріст колекторного струму (див. рис. 1.9) на рівні $I_{кн} = U_{дж.ж}./(R_к + r_{к.н.})$ та падіння потенціалу колектора на рівні $U^0{}_2$.

Інтервал від моменту t_2 до t_3 представляє час включення транзистора $t_{вкл}$. Його тривалість можна визначити за допомогою (1.12), якщо врахувати, що заряд на цьому інтервалі наростає від $Q_0 = 0$ до значення

$$Q_{гр} = \tau_\beta I_{бн}\,, \qquad (1.14)$$

що відповідає положенню робочої точки транзистора на межі між активним режимом і режимом насиченням. При цьому заряд зростає експоненціально з постійною часу τ_β і асимптотично наближується до рівня Q_1. Тоді за допомогою виразу (1.8) і з урахуванням формул (1.13), (1.14) отримуємо:

$$t_{вкл.} = \tau_\beta \ln[Q_1/(Q_1-Q_{гр})] = \tau_\beta \ln[(\tau_\beta I_{б1})/(\tau_\beta I_{б1}- \tau_\beta I_{б.н.})] = \tau_\beta \ln[S/(S-1)]\,, \qquad (1.15)$$

де $S = I_{б1}/ I_{бн}$ — коефіцієнт насичення транзистора.

Тривалість переднього фронту вихідного сигналу $t^{10}_{ф} \approx t_{вкл}$.

4. На даному етапі всі струми та напруги, що встановилися в момент t_3, залишаються постійними. Перехідний процес характеризується тільки триваючим накопиченням заряду в базі понад граничного значення $Q_{гр}$. Заряд неосновних носіїв, що перевищує величину $Q_{гр}$, називається надлишковим. Заряд продовжує наростати по експоненті, але зі зміненим параметром експоненти $\tau_н = 0{,}7 \ldots 1{,}5\ \tau_\beta$, що характеризує середній час життя неосновних носіїв в насиченому режимі. Зміна середнього часу життя неосновних носіїв пов'язано із перерозподілом заряду в активній області бази при переході транзистора з активного режиму в режим насичення. При цьому для сплавних транзисторів $\tau_н < \tau_\beta$, а для дифузійних $\tau_н > \tau_\beta$. Можна вважати, що за час $t_н = 3\tau_н$ процес накопичення надлишкового заряду $Q_{надл}$ закінчується і заряд досягає значення:

$$Q_2 = Q_{гр}+Q_{надл} = \tau_н I_{б1} \qquad (1.16)$$

Ставлення накопиченого заряду Q_2 до граничного $Q_{гр}$ відповідно до виражень (1.14) і (1.16) наближено визначає коефіцієнт насичення транзистора:

$$Q_2/Q_{гр} = \tau_н I_{б1}/\tau_\beta I_{б.н.} \approx S\,.$$

5. По задньому фронту вхідного сигналу в момент t_5 струм бази $I_б(t)$ транзистора стрибком змінюється за величиною (і знаком) $I_{б2} = (U^0{}_1-U_0) / (R_б + r_б)$, порушується рівноважний стан заряду бази і починається його розсмоктування. Надлишковий заряд експоненціально з постійною часу $\tau_н$ зменшується від величини Q_2, прагнучи асимптотично до $Q_3 = \tau_н I_{б2}$. На даному етапі заряд в базі $Q(t)> Q_{гр}$ і транзистор залишається насиченим до моменту t_6, коли закінчується рекомбінація надлишкового заряду і транзистор з насичення переходить в активний режим. В інтервалі від t_5 до t_6 колекторний струм $I_к$ і вихідна напруга U_2 залишаються незмінними, і даний етап перехідного процесу називають етапом розсмоктування. Тривалість етапу розсмоктування

$$t_p = t_6-t_5 = \tau_н \ln[(Q_3-Q_2)/(Q_3-Q_{гр})] = \tau_н \ln[(I_{б2}\tau_н-I_{б1}\tau_н)/(I_{б2}\tau_н-I_{б.н.}\tau_\beta)] \sim \tau_н \ln[(S_{зап}-S)/(S_{зап}-1)]\,, \qquad (1.17)$$

де $I_{б2}/I_{бн} = S_{зап}$ — коефіцієнт замикання.

6. У момент t_6 транзистор переходить в активний режим і від рівня $Q_{гр}$ заряд бази експоненціально з постійною часу τ_β зменшується, прагнучи асимптотично до $Q_4 = \tau_\beta I_{б2}$. При цьому синхронно зменшується струм колектора $I_к$ і починає наростати вихідна напруга. Даний етап, що називається етапом виключення, закінчується в момент t_7, коли досягається рівень Q (t) ≈ 0. Тривалість етапу виключення:

$$t_{викл} = t_7 - t_6 = \tau_\beta ln[(Q_4 - Q_{гр})/Q_4] = \tau_\beta ln[(I_{б2}\tau_\beta - I_{бн}\tau_\beta)/I_{б2}\tau_\beta] = \tau_\beta ln[(S_{зам} - 1/S_{зам}] , \qquad (1.18)$$

У момент t_7 транзистор переходить в режим відсічення, різко зростає його вхідний опір, струм бази встановлюється рівним $I_б$ (t) = $-I_{к0}$, а струм колектора - $I_К$ (t) = $I_{к0}$.

7. Триває наростання вихідної напруги U_2(t), пов'язане з зарядом через колекторний опір $R_к$ еквівалентної ємності навантаження $C_0 = C_п + C_{к..б.} + C_м$, де $C_п$, $C_{к.б}$, $C_м$ - ємності навантаження, колекторного переходу і монтажу. Тривалість заднього фронту $t^{01}ф \approx 3\tau_{зар} = 3R_кC_0$. У випадку чисто активного навантаження і незначної ємності монтажу ($C_м \approx 0$) можна вважати $t^{01}ф \approx t_{викл}$.

Аналізуючи залежність тривалості роздільного часу $t_{роз}$ транзисторного ключа від параметрів його компонентів і керуючих сигналів, можна зробити наступні висновки: $t_{доз}$ тим менше, чим менше τ_β транзистора, тобто чим більше гранична частота посилення $f\alpha=(\beta+1)/(2\pi\tau_\beta)$; із зростанням коефіцієнта насичення транзистора зменшується тривалість $t_{ВКЛ}$, зростає час розсмоктування $t_р$, а тривалість виключення $t_{викл}$ не змінюється; тривалість розсмоктування $t_р$ і виключення $t_{викл}$ тим менше, чим більше коефіцієнт замикання $S_{ЗАМ}$.

Отже, мінімум тривалості $t_{доз}$ можна отримати за допомогою транзисторів необхідного частотного діапазону і оптимального вибору рівнів сигналів, що керуються ключем U^0_1 і U^1_1. Якщо, тим не менш, мінімальне $t_{доз}$ більше допустимого, необхідно використовувати схемотехнічні методи форсування перехідних процесів в транзисторних ключах.

1.4. Ключ на біполярному транзисторі з нелінійним зворотнім зв'язком

Тривалість етапу включення транзистора $t_{ВКЛ}$ можна зменшити, подаючи на базу більший струм відмикання. Згідно з виразом (1.15) $t_{ВКЛ}$ при цьому зменшується, але внаслідок зростання коефіцієнта насичення S одночасно зростає тривалість етапу розсмоктування $t_р$. У результаті, незважаючи на додаткові втрати потужності, швидкодія ключа не збільшується. Одним з виходів у цій ситуації є виключення режиму насичення транзистора і забезпечення тим самим перемикання його робочої точки між активним режимом і режимом відсічення.

На рис. 1.10. (а) показана принципова схема транзисторного ключа, в якому використаний нелінійний зворотний зв'язок (НЗЗ) через діод VD (паралельний негативний зворотний зв'язок за напругою). Глибина такої НЗЗ залежить від режиму роботи діода: якщо діод VD замкнений, то впливом зворотного зв'язку на роботу ключа можна знехтувати. Якщо ж діод VD відкритий, то через його малий опір $r_д$ реалізується глибокий зворотній зв'язок і коефіцієнт передачі напруги в схемі:

$$K_u^{o.c.} = U_2/U_1 \approx r_д/R_б \to 0 , \qquad r_д << R_б$$

і фіксується потенціал колектора транзистора.

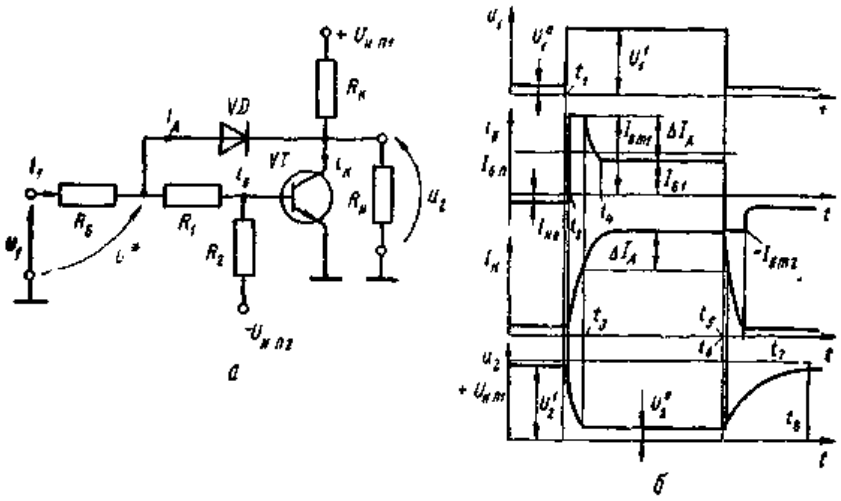


Рис. 1.10

На рис. 1.10 (б) показані тимчасові діаграми перехідних процесів при подачі на вхід ключа позитивного імпульсу. До моменту t_1 на вході ключа діє низький рівень U^0_1 сигналу, транзистор VT замкнений, на його колекторі підтримується високий потенціал U^1_2, який обумовлює зворотний зсув діода VD. У момент t_1 вхідний сигнал стрибком наростає від нульового U^0_1 до одиничного рівня U^1_1. Через $t_{зт.вкл}$ в момент t_2 відкривається емітерний перехід і в базі транзистора встановлюється струм бази:

$$I_{бm1} = [U^1_1R_2-U_{и.п2}(R_б+R_1)-U_0(R_б+R_1+R_2)]/B\ ,$$

де

$$B = R_бR_2+R_1R_2+R_2r_б+r_бR_1+R_бr_б,\ r_б <<R_1,\ R_2,\ R_б\ .$$

У міру наростання струму колектора $I_к$ потенціал колектора U_2 падає, одночасно зменшується замикаюча напруга на діоді VD:

$$U_д = U^*-U_2 = U_0+I_{бm1}r_б+I_{1m}R_1-U_2$$

де

$I_{1m} = [U^1_1(R_2+r_б)/(B-R_2r_б)]+[(U_{и.п2}r_б-U_0R_2)/B] \approx [U^1_1/(R_б+R_1)]$ - вхідний струм до моменту відмикання діода.

У момент часу t_3, коли потенціал колектора виявляється близьким до напруги насичення, діод VD відкривається і вхідний струм I_{1m} перерозподіляється між діодом VD і резистором R_1: струм резистора R_1 зменшується на величину збільшення струму діода $\Delta I_д$. Оскільки струм діода замикається через колекторний ланцюг транзистора при практично постійному потенціалі колектора, то колекторний струм з моменту t_3 наростає на величину $\Delta I_д$. Потенціал колектора відкритого транзистора відрізняється від потенціалу U* на величину напруги на відкритому діоді. Якщо прийняти його рівним пороговій напрузі діода $U_{од}$, то наближено (так як не враховується невелика зміна напруги U* після відмикання діода) напруга на виході:

$$U^0_2 = U^*-U_{од} = U_0+I_{бm1}r_б+I_{1m}R_1-U_{0д}$$

У момент t_4 встановлюються постійні значення струмів бази $I_{б1}$, колектора $I_{1к}$ та діода.

По задньому фронту вхідного сигналу змінюється на протилежний напрямок струму через діод, відновлюється його зворотний опір і до моменту t_6 діод вимикається. Тим самим розмикається НЗЗ і починається рекомбінація заряду в базі струмом:

$$I_{бm2} = [U^0{}_1R_2-U_{и.п2}(R_б+R_1)-U_0(R_б+R_1+R_2)]/B$$

Надалі перехідні процеси в ключі з НЗЗ аналогічні раніше розглянутим в транзисторному ключі (див. Рис. 1.9).

У розглянутій схемі відсутня затримка вимкнення через надлишковий заряд бази транзистора, але має місце процес розсмоктування носіїв, накопичених в діоді. Тому на практиці для реалізації НЗЗ вибирають швидкодіючі імпульсні діоди або діоди Шотки, що працюють без накопичення заряду.

Тривалість етапів включення та виключення транзистора в схемі з НЗЗ визначається відмикаючим $I_{бm1}$ і замикаючим $I_{бm2}$ струмами бази, які, у свою чергу, залежать від опорів резисторів R_6, R_1, $_{R2}$ і рівнів напруг $U^0{}_1$, $U^1{}_1$, $U_{дж.ж.2}$.

Вихідна напруга $U^0{}_2$ також залежить від параметрів вхідного сигналу, що в схемах перемикання є небажаним. Схема, в якій резистор R1 замінений діодом VD2, показана на рис. 1.11 (а). У цій схемі при відмиканні діодів VD1 і VD2 на колекторі транзистора фіксується потенціал:

$$U^0{}_2 \approx U_0+U_{0д2}- U_{0д1} \approx U_0,$$

де U_0 - порогове напруга транзистора, $U_{0д1}$.і $U_{0д2}$ - порогові напруги діодів VD1 і VD2 відповідно. Напруга $U^0{}_2$ незначно перевищує напругу на насиченому транзисторі і не залежить від параметрів вхідного сигналу.

Якщо в якості діода VD1 використовувати діод Шоткі, що має дуже незначну порогову напруга $U_{0ш} \approx 0,1$ В, то діод VD2 в ланцюзі бази транзистора не потрібний (рис. 1.11. (б)), Діод Шоткі і колекторний перехід транзистора включені паралельно, але завдяки тому що гранична напруга діода $U_{0ш}$ істотно менше порогової напруги колекторного переходу (для кремнієвого транзистора $U_{0к} \approx 0,5$ ... 0,7 В), діод Шоткі відкривається раніше і тим самим запобігає насиченню транзистора.

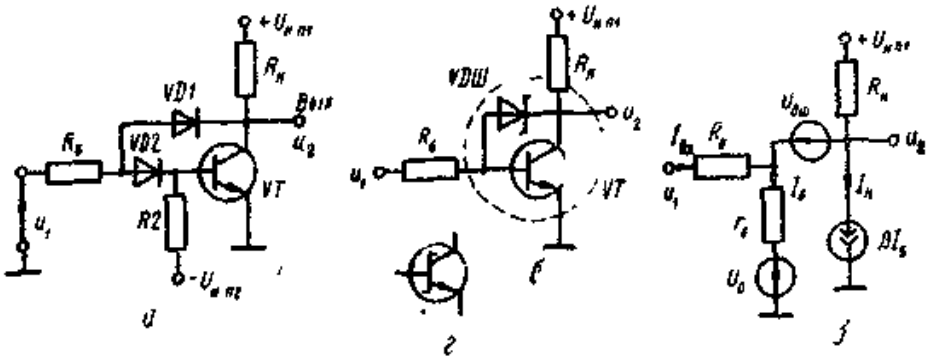


Рис. 1.11

У відкритому стані на колекторі транзистора встановлюється потенціал U^0_2, який можна визначити за еквівалентною схемою ключа (рис. 1.11. (в)):

$$U^0_2 = I_б r_б + U_0 + U_{0ш}.$$

Напруга U^0_2 мала (десяті частки вольт), практично не залежить від вхідного сигналу і опорів в ланцюзі бази і колектора. Іншим важливим достоїнством схеми (рис. 1.11. (б)) є її висока швидкодія, діод Шоткі працює без накопичення заряду, тому відсутній етап відновлення зворотного опору діода. Переваги транзистора з колекторно-базовим зв'язком через діод Шоткі привели до створення монолітної структури діод Шоткі- біполярний транзистор, який виготовляється в єдиному технологічному процесі, називається транзистором Шоткі (рис. 1.11. (г)) і широко використовується в інтегральній схемотехніці.

1.5. Електронні ключі на польових транзисторах

Для побудови електронних ключів можна використовувати польові транзистори з керуючим p-n-переходом, з ізольованим затвором і вбудованим або індукованим каналом. У цифровій схемотехніці найбільшого поширення набули польові МДП-транзистори (метал-діелектрик-напівпровідник) з індукованим p- або n-каналом.

На рис. 1.12-*в* наведено умовне графічне зображення МДП-транзистора з індукованим каналом n-типу.

На рис. 1.12-*а, -б* показані стокові та стоко-затворні ВАХ МДП-транзистора з індукованим n-каналом. Якщо напруга $U_{з.с} < U_{пор}$, то канал для перенесення заряду не індукований і транзистор запертий. Якщо $U_{з.с} > U_{пор}$, то в підзатворній області індукується n-канал, через нього протікає струм, який визначається напругою $U_{с.н}$ між електродами каналу, транзистор відкритий і його робоча точка знаходиться в крутій (тріодній, I) або пологій (пентодній, II) області характеристик. Відповідно у області характеристик I або II струм стоку транзистора $i_с$ описуються виразами [Степ.]:

$$\text{I: } i_с = \mu[(U_{зи} - U_{пор})U_{с.и} - 0{,}5U^2_{с.и}] ,$$

$$\text{II: } i_с = 0{,}5\mu\,(U_{зи} - U_{пор})^2 ,$$

де μ — питома крутизна керуючої характеристики, $U_{пор}$— порогова напруга відсічення струму.

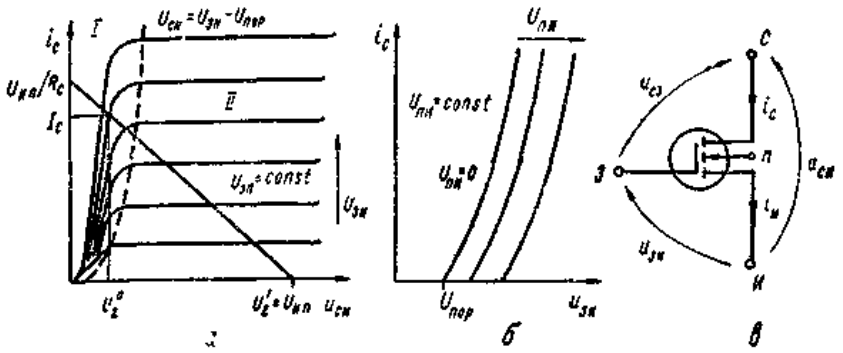


Рис. 1.12

На рис. 1.13-*а* наведена схема найпростішого ключа на МДП-транзисторі, що включений за схемою з загальним витоком і з лінійним стоковим навантаженням R_c. Якщо навантаженням ключа є активний опір $R_н$, його можна, скориставшись співвідношеннями для еквівалентного генератора, включити в еквівалентний опір R_c.

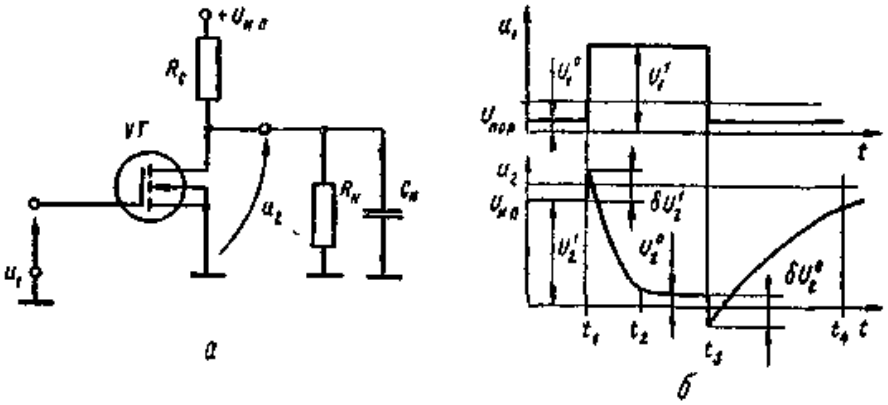


Рис. 1.13

Статичний режим такого ключа визначається навантажувальної лінією на сімействі стокових характеристик (рис. 1.12-*а*). При низькому рівні вхідного сигналу $U^0_1 < U_{пор}$ МДП-транзистор знаходиться в режимі відсічення і, оскільки струм витоку через закритий канал I_c досить малий ($I_c < 10^{-9}$ А), можна вважати високий рівень вихідного сигналу $U^1_2 = U_{дж.ж}$. Споживання енергії від джерела живлення $U_{дж.ж}$ в закритому стані ключа $P^1_{спож} = 0$. При високому рівні вхідного сигналу $U^1_1 > U_{пор}$ в транзисторі індукований канал і через нього протікає струм I^1_c, який визначається точкою перетину навантажувальної лінії із стоковою характеристикою $i_c = f(U_{сн})$. Залежно від величини вхідної напруги U_1, напруги живлення $U_{дж.ж}$ і опору R_c робоча точка транзистора виявляється в «тріодній» області (крутих ділянок стокових характеристик), ліворуч від лінії, що являє собою геометричне місце точок перегину стокових характеристик (область I на рис. 1.12-*а*), або в «пентодній» (область II пологих ділянок на рис. 1.12-*а*), праворуч від лінії (1.19):

$$U_c = U_{зи} - U_{пор} \ . \qquad (1.19)$$

На виході ключа встановлюється низький потенціал:

$$U^0_2 = U_{дж.ж} - I_c R_c \ , \qquad (1.20)$$

де I_c - струм стоку, який визначається графічно з рис. 1.12-*а*. Для аналітичного визначення робочої точки відкритого транзистора ($U_{с.и} = U^0_2$, $i_c = I_c$) необхідно спільно вирішити рівняння (1.20) і одне з апроксимуючих стокові характеристики рівнянь для тріодної області: $i_c = \mu[(U_{зи}-U_{пор})U_{сн}-0{,}5\ U^2_{си}]$ або для пентодної області: $i_c = 0{,}5\mu(U_{з.и}-U_{пор})^2$ де μ - питома крутизна стоко-затворної характеристики.

Перехідні процеси в ключах на польових транзисторах обумовлені переносом носіїв з рухливістю ν через канал довжиною L і перезарядом міжелектродних ємностей транзистора (сток-затвор ССЗ, стік-витік ССВ), а також ємності навантаження $C_н$ та паразитної ємності монтажу $C_м$.

Час переносу носіїв через канал $t_{пер} = 2{,}2L^2/(\nu U_{с.и})$, де для електронів рухливість ν_n=0,04 м^2/(В•с), а для дірок — ν_p = 0,02 м^2/(В•с), завдяки чому n-канальні МДП-транзистори мають більш високу швидкодію. При довжині каналу L порядку одиниць мікрон і напрузі $U_{с.н}$ порядку десятків вольт $t_{пер}$ вельми малий і має порядок 10^{-9}с. Тому визначальним швидкодію ключів на МДП-транзисторах є процес перезаряду міжелектродних і зовнішніх ємностей транзистора.

На рис. 1.13-*б* показані часові діаграми ідеалізованого вхідного сигналу $U_1(t)$ і вихідного сигналу $U_2(t)$. Стрибок вхідного сигналу в момент t_1 обумовлює синфазну перешкоду δU^1_2 на виході за рахунок передачі частини вхідного сигналу безпосередньо на вихід через ємнісний дільник напруги з ємності $C_{с.з}$ і ємності C_0, що включає в себе ємність сток - витік $C_{с.в}$, ємність навантаження $C_н$ і монтажу $C_м$:

$$\delta U^1_2 = [(U^1_1-U^0_1)C_{с.з}]/[\,C_{с.з}+ C_0],$$

де $C_0 = C_{с.и}+C_м+C_н$.

Далі ємність C_0 розряджається, а ємність $C_{сз}$ перезаряджається через відкритий транзистор та стоковий резистор R_c. В основному швидкість процесу на даному етапі визначається провідністю відкритого транзистора, вихідна напруга експоненціально падає з постійною часу розряду:

$$\tau_p = [(C_0+C_{с.з})R_c]/[\mu(U_{и.п}-U_{пор})R_c+1]\ . \qquad (1.21)$$

Тоді тривалість негативного фронту вихідного сигналу (інтервал часу від t_1 до t_2, коли сигнал падає на 0,9 (U^1_2-U^0_2)) можна оцінити, як:

$$t^{10}_{Ф} \approx 3\tau_p =[3(C_0+C_{с.з})]/[\mu(U_{и.п}-U_{пор})].$$

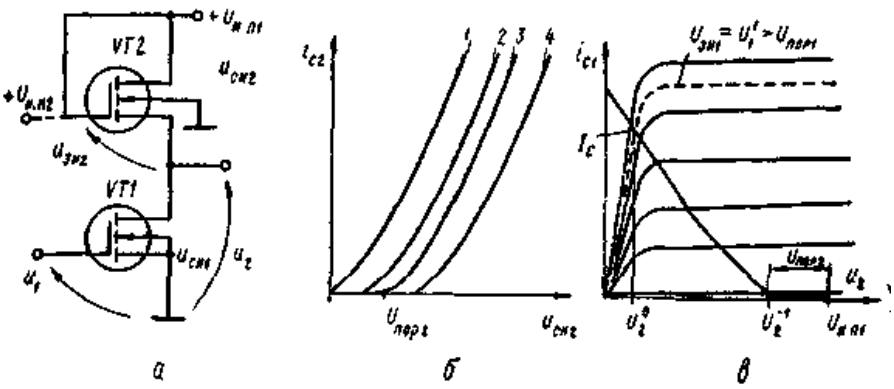


Рис. 1.14

По задньому фронту вхідного сигналу в момент t_3 формується синфазний викид $\delta U^0_2 = \delta U^1_2$. Потім транзистор швидко (одиниці наносекунд) замикається і далі відбувається заряд еквівалентної ємності C_0 і перезаряд ємності $C_{с.з}$, який протікає за експоненціальним законом з постійною часу заряду: $\tau_з = (C_0+ C_{с.з})R_c$. Відповідно тривалість позитивного фронту вихідного сигналу $t^{01}_{Ф} \approx 3\tau_з =3R_c(C_0+C_{с.з})$.

З позицій інтегральної технології розглянутий ключ має істотні недоліки: складно в єдиному технологічному циклі виготовляти транзистори і високоомні (стокові - R_c) резистори; велике споживання енергії у відкритому стані $P^0_{спож} = U^2_{дж.ж}/R_c$.

Перший з недоліків усувається в інтегральних схемах заміною лінійного резистора R_c нелінійним, в якості якого використовується МДП-транзистор з двополюсним включенням (рис. 1.14-*а*) із закороченими затвором і стоком. Для транзистора VT2 $U_{сн2} = U_{зс2}$. Якщо на сімействі стокових характеристик транзистора VT2 побудувати лінію перегинів, що розділяє пентодну і тріодну області (рис. 1.14-*б* - крива 1), для якої справедливий вираз (1.19), і змістити її по осі напружень на величину $U_{пор}$, отримаємо нелінійну залежність - ВАХ МДП-транзистора в двополюсному включенні (рис. 1.14-*б* - крива 3). На цьому ж графіку наведені ВАХ навантажувального транзистора VT2 при подачі на його затвор довільної постійної напруги $U_{дж.ж.2}$ (крива 2 - якщо $U_{дж.ж.1} < U_{дж.ж.2} < U_{дж.ж.2} + U_{пор}$, крива 4 - якщо $U_{дж.ж.2} < U_{дж.ж.1}$). Для забезпечення ВАХ, близької до лінійної, в якості навантажувальних виготовляють транзистори з малою крутизною стоко-затворної характеристики μ і з мінімальною напругою $U_{пор2}$.

Побудуємо ВАХ нелінійного двополюсника на сімействі стокових характеристик перемикального транзистора VT1 як лінію його навантаження (рис. 1.14-*в*). Це дозволяє графічно визначити рівні вихідної напруги ключа у запертому U^1_2 і відкритому U^0_2 стані, а також струм Іс відкритого транзистора VT1 з навантаженням VT2. Зауважимо, що в закритому стані, коли обидва транзистора закриті, високий рівень U^1_2 визначений не строго, оскільки залежить від випадкових опорів витоків транзисторів VT1 і VT2:

$$U^1_2 = U_{дж.ж.1}\, R_{вит.1}/(R_{вит.1}+R_{вит.2})$$

і може змінюватися в діапазоні $U_{дж.ж1} > U^1_2 > U_{дж.ж.1}-U_{пор.2}$.

Розглянута схема ключа більш технологічна для інтегральної схемотехніки, але має високе споживання $P^0_{спож} = U_{дж.ж1}I_c$, коли транзистор VT1 відкритий. Зменшувати потужність $P_{спож}$ простим збільшенням опіру R_c можна лише до певних меж, що визначаються співвідношеннями для максимально допустимої тривалості фронтів $t^{10}_ф$ і $t^{01}_ф$. Суттєво енергоспоживання електронного ключа можна зменшити, якщо в якості навантаження використовувати елемент з керованим внутрішнім опором, який при замиканні транзистора VT1 повинен мати мінімальний опір, а при відмиканні - максимальне.

У схемі на рис. 1.15-*а* в якості навантаження n-канального транзистора VT1 використаний p-канальний транзистор VT2, керований беспосередньо вхідним сигналом U_1. В силу симетрії схеми кожен з транзисторів являє собою кероване навантаження для іншого транзистора. Різні типи провідності при управлінні одним і тим же сигналом U_1 забезпечують взаємно протилежні режими роботи. Тому кажуть, що транзистори в даній схемі доповнюють один одного, вони утворюють так звану комплементарну структуру.

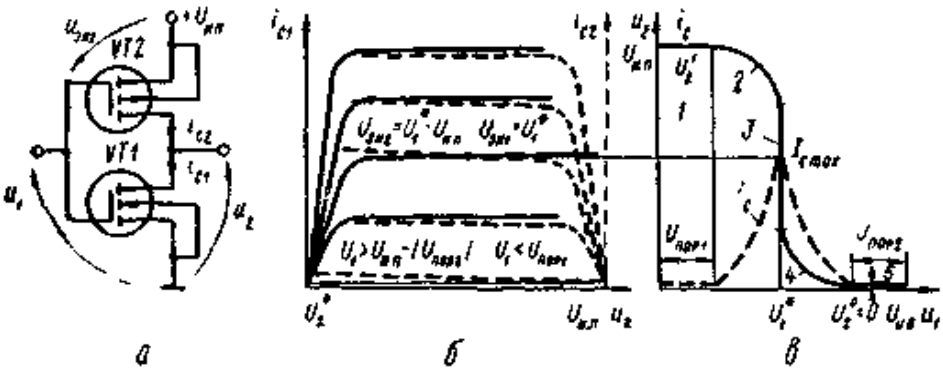


Рис. 1.15

Вид статичної передатної характеристики комплементарної структури залежить від співвідношення напруги живлення $U_{дж.ж.}$ і порогових напруг n-канального ($U_{пор.1}$) і p-канального ($U_{пор.2}$) транзисторів. Якщо $U_{дж.ж} > U_{пор.1} + |U_{пор.2}|$, то передаточна характеристика (рис. 1.15-*в*) містить наступні характерні області.

1. $U_{зс}\ 1 = U_1 < U_{пор.1}$ - транзистор VT1 в режимі відсічення, $| U_{зс2} | = | U_1 - U_{дж.ж} | >> | U_{пор.2} |$ - транзистор VT2 в тріодному режимі. Вихідна напруга визначається як результат поділу напруги джерела живлення між великим опором витоку запертого транзистора VT1 $R_{вит}$ = 109 ... 1 012 Ом і малим опором VT2 в тріодном режимі $r^{т}_{i2} \sim 10^2$ Ом, тому на виході встановлюється високий рівень $U^1_2 = [U_{дж.ж} R_{вит.1}] / [R_{вит.1} + r^{т}_{i2}] \approx U_{дж.ж.}$ Типове значення високого рівня $U^1_2 = 0{,}999 U_{дж.ж.}$ Струм, що споживається від джерела живлення, незначний $I_{1спож} = U_{дж.ж} / [R_{вит.1} + r^{т}_{i2}] \approx U_{дж.ж} / R_{вит.1}$.

2. $U_{пор.1} < U_1 < U_{п.т.2}$; $U_{п.т.2}$ - гранична напруга переходу транзистора VT2 з тріодного режиму в пентодний. У цій області VT1 працює в пентодній, а VT2 - в тріодній області характеристик. Комплементарна пара знаходиться в режимі підсилення з коефіцієнтом передачі напруги $K_U = -\mu_1 \cdot (U_{пор} - U_1) \cdot r^{т}_{i2}$, де $r^{т}_{i2}$ - диференційний опір стоку транзистора VT2 в тріодному режимі, μ_1- питома крутизна керуючої характеристики транзистора VT1. K_U незначний, оскільки $r^{т}_{i2} << r^{п}_{i2}$. Струм споживання $I_{спож}$ наростає.

3. $U_{п.т.2} < U_1 < U_{п.т.1}$, $U_{п.т.1}$ - гранична напруга переходу транзистора VT1 з пентодного режиму в тріодний. Обидва транзистори знаходяться в пентодному режимі і забезпечують максимальний коефіцієнт передачі напруги $K_U = -(\mu_1 + \mu_2) \cdot (U_{пор} - U_1) \cdot [r^{п}_{i1} \parallel r^{п}_{i2}]$. Струм споживання продовжує наростати до середини області 3 до величини $I_{C1} = I_{C2} = I_{Cmax}$ (рис. 1.15-*б*, -*в*) і потім із зростанням U_1 струм споживання починає зменшуватися, так як транзистор VT2 від значення $U_1 = 0{,}5 U_{дж.ж}$ закривається швидше, ніж відкривається VT1.

4. $U_{сп.т.1} \le U_1 < U_{дж.ж.} - | U_{пор.2} |°$ - транзистор VT1 з пентодного переходить в тріодний режим, а VT2 залишається в пентодному. Коефіцієнт передачі напруги менше, ніж в області 3, $K_U = -\mu_2 \cdot (U_{пор} - U_1) \cdot [r^{т}_{i1}][r^{п}_{i2}]$ і з ростом U_1 зменшується, оскільки зменшується диференціальний опір $r^{т}_{i1}$ транзистора VT1 в тріодному режимі. Струм споживання $I_{спож}$ зменшується за рахунок запирання транзистора VT2.

5. $U_1 > U_{дж.ж.} - | U_{пор.2} |°$ - транзистор VT1 знаходиться в тріодному режимі, транзистор VT2 - в режимі відсічення і через його опір витікання $R_{вит.2}$ протікає дуже малий струм. Вихідна напруга ключа $U^0_2 = [U_{дж.ж}\, r^{т}_{i1}] / [R_{вит.2} + r^{т}_{i1}] \approx 0$. Типове значення низького рівня на виході $U^0_2 = 10^{-3} U_{дж.ж.}$ Струм споживання від джерела живлення мізерно малий:

$$I^0_{спож} = U_{дж.ж.}/(R_{вит.2}+r^T_{i1}) \approx U_{дж.ж.}/R_{вит.2}\ .$$

При використанні джерела живлення $U_{дж.ж} < U_{пор} + |U_{пор2}|$ області 2, 3, 4 передатної характеристики (рис. 1.15-*в*) змикаються і залишаються тільки області 1 і 5, для яких все сказане вище залишається справедливим. З'являється зона перекриття областей 1 і 5, в якій обидва транзистора знаходяться в режимі відсічення і рівень вихідного сигналу визначається опорами витоку замкнених транзисторів:

$$U_2 = U_{дж.жп.}R_{вит.1}/(R_{вит.1}+R_{вит.2})\ ,$$

причому $R_{вит.1}$ та $R_{вит.2}$ змінюються в досить широких межах за випадковим законом. Невизначеність в зоні перекриття усувається при підключенні зовнішнього навантаження.

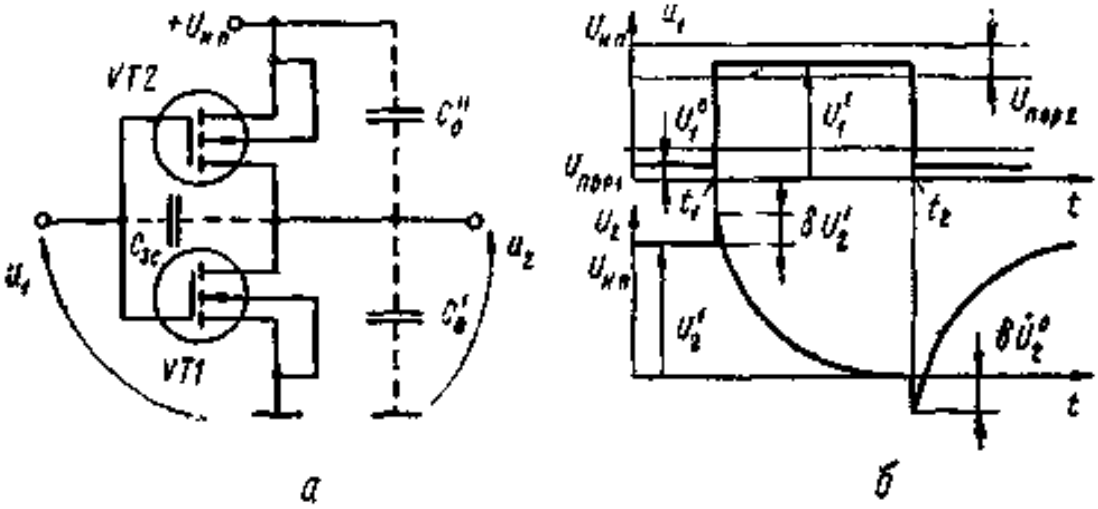


Рис. 1.16

Перехідні процеси в ключі на комплементарних МДП-транзисторах визначаються перезарядом міжелектродних ємностей транзисторів VT1, VT2, а також ємності навантаження $C_н$ і паразитної ємності монтажу $C_м$ (рис. 1.16-*б*).

Нехай до моменту t_1 $U_1 = U^0_1 < U_{пор.1}$. Тоді транзистор VT1 замкнений, а VT2 - в тріодному режимі. На виході ключа маємо високий рівень сигналу $U^1_2 = U_{дж.ж.}$, ємності $C'_н$, $C'_м$, $C'_{св}$ заряджені, а $C''_н$, $C''_м$, $C''_{св}$ - розряджені. Стрибок вхідного сигналу U_1 в момент t_1 обумовлює синфазну перешкоду на виході:

$$\delta U^1_2 = [(U^1_1 - U^0_1)C_{с.з}]/(C'_0+C''_0)\ , \qquad (1.22)$$

де $C_{с.з} = C_{с.з.1}+C_{с.з.2}$, $C'_0 = C_{с.и.1}+C'_м+C'_н$, $C''_0 = C_{с.и.2}+C''_м+C''_н$. Якщо $U^1_1 > U_{дж.ж.}-|U_{пор.2}|$, то транзистор VT2 виявляється закритим, а VT1 відкритий та його робоча точка у міру зменшення вихідного потенціалу переміщається з пентодної області в тріодну. Швидкість спаду вихідного напруги визначається розрядом ємності C'_0, зарядом C''_0 і перезарядом ємності $C_{с.з}$ через відкритий транзистор VT1, диференціальний опір якого r_{i1} і в міру зменшення потенціалу U_2 також зменшується. Тому функція зміни $U_2(t)$ на рис. 1.16-*б* практично не відмінна від експоненціальної і тривалість негативного фронту вихідного сигналу можна визначити за допомогою співвідношення:

$$t^{10}_{ф} \approx 3\tau^{10} = 3C\, r^{т}_{i1}, \qquad (1.23)$$

де $C = C'_0 + C''_0 + C_{з.с}$, $r^{т}_{i1}$ – диференційний опір стоку транзистора VT1.

За заднім фронтом вхідного сигналу в момент t_2 на виході ключа також формується синфазна перешкода δU_2, амплітуда якої визначається з рівняння (1.22). Транзистор VT1 переходить в режим відсічення, транзистор VT2 - спочатку в пентодний, а потім, у міру наростання вихідної напруги U_2 (зменшення напруги $U_{с.в.2} = U_2 - U_{дж.ж}$), в тріодний режим. Позитивний фронт вихідного сигналу також формується за законом, близьким до експоненціального і визначається співвідношенням:

$$t^{10}_{ф} \approx 3\tau^{01} = 3C\, r^{т}_{i2}. \qquad (1.24)$$

Струм споживання $i_{спож}(t)$ також пов'язаний з перезарядкою еквівалентної ємності C, оскільки наскрізний струм через обидва транзистора при практично миттєвому замиканні одного з них можна не враховувати.

Ключі на комплементарних МДП-транзисторах (КМДПТ) забезпечують високу швидкодію при досить незначному енергоспоживанні, яке залежить від частоти перемикання. Вони забезпечують максимальне використання напруги живлення ($U^1_2 - U^0_2 \approx U_{дж.ж}$) і зберігають працездатність в широкому діапазоні напруги живлення: $U_{дж.ж}$ = 3..15 В. Найменшим енергоспоживанням характеризуються ключі, що живляться від джерела напруги $U_{дж.ж} < U_{пор.1} + |U_{пор.2}|$, в яких активна складова струму споживання у статичному режимі $I_{спож.а} = 0$. Низьке енергоспоживання дозволяє використовувати ключі на КМДПТ в якості базових елементів інтегральних схем з високим ступенем інтеграції.
Зазначені переваги таких ключових схем досягаються ускладненням технології їх виготовлення і збільшенням вартості, але в міру удосконалення технології інтегральної мікросхемотехніки ці недоліки стають все менш істотними

2. Діодно-транзисторні логічні елементи (ДТЛ)

Елементи типу діодно-транзисторної логіки (ДТЛ) широко застосовувалися з середини шістдесятих років XX століття, завдяки простоті схем, гнучкості розширення функціональних можливостей (об'єднання виходів в монтажному АБО, збільшення кількості входів підключенням зовнішніх діодів і т.д.). Конкуруючі технології потіснили ДТЛ-елементи за рахунок більш високої швидкодії, зниження енергоспоживання і поліпшення інших експлуатаційних параметрів. Однак використання в ДТЛ-елементах швидкодіючих діодів Шоткі істотно збільшило їх швидкодію і підвищило інтерес розробників до відповідних серій інтегральних мікросхем.

2.1. Базовий елемент І-НЕ (елемент Шеффера)

Розглянемо діодно-транзисторний елемент І-НЕ (рис. 2.1). Схема елемента містить наступні функціональні частини:

- діодна логічна схема n з двома входами (R1, VD1, VD2);
- підсилювач-інвертор (VT1, VT2, VD3, R3, R4, R5);
- елемент узгодження діодної логіки з підсилювачем (R2, VD3).

Кількість аналогічних входів визначає функціональні можливості таких елементів і характеризується коефіцієнтом об'єднання по входу $К_{об}$. Для ДТЛ зазвичай $К_{об} \leq 8$.

На виході логічної схеми І формується проміжний сигнал $x' = \bigcap_{i=1}^{K_{об}} x_i$, рівень якого U '= min {U_{1i}} + Uод.

Через діод VD3 цей сигнал надходить на вхід підсилювача-інвертора.

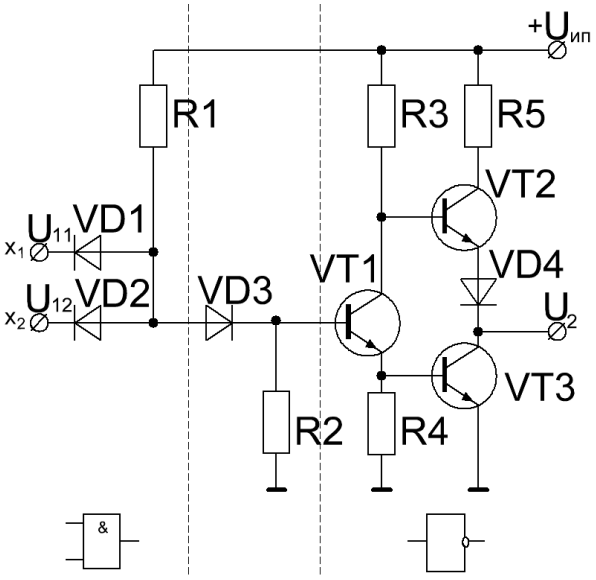


Рис. 2.1

$$X' = X_1 \cdot X_2, \qquad U' = \min\{U_{11}, U_{12}\} + U_0.$$

Підсилювач-інвертор містить 2 каскади.

Вхідний фазоінверсний каскад побудований на транзисторі *VT1*, який формує два протифазних сигнали, що керують режимами роботи транзисторів *VT2* і *VT3*.

Вихідний каскад на транзисторах *VT2* і *VT3* забезпечує перемикання виходу між загальною шиною і джерелом живлення.

Особливістю даної електричної схеми є використання в базовому ланцюзі транзистора діода *VD3*, який призначений для збільшення порогової напруги транзисторного ключа і запобігання спрацьовування його від перешкод вхідних сигналів на рівні логічного нуля. Резистор *R2* забезпечує протікання зворотного струму колекторного переходу в режимі відсічення транзистора *VT1*.

Нехай на вхід подається низький рівень вхідного сигналу $U_1^0 < U_{пор}$. Щоб відкрити транзистори *VT1, V32*, необхідно заперти діоди *VD1, VD2* і відкрити діод *VD3*.

Тому порогова напруга $U_{пор}$ визначається:

$$U_{пор} = U_{0VD3} + U_{0VT1} + U_{0VT3} \approx -U_{0VD1} \approx 1.4B,$$

де U_{0VD}, U_{0VT} - порогові напруги відповідних діодів і транзисторів.

При даній умові транзистори *VT1, VT3* заперті, а *VT2* може перебувати в будь-якому з можливих режимів: в залежності від способу підключення навантаження: транзистор може бути запертий, якщо навантаження підключено до джерела живлення, знаходиться в активному режимі або в режимі насичення, якщо навантаження підключене між виходом і загальної шиною.

Якщо навантаження підключене до «землі», то через відкритий транзистор *VT2* може протікати струм, при цьому на виході елемента встановлюється високий рівень вихідного сигналу:

$$U_2^1 \cong U_{ип} - U_{0VD4} - U_{0VT3} - U_{R3}$$

При типовій напрузі живлення $U_{ип} = 5B$ *і* $U_{0VD} = 0,7B$ (для кремнієвих діодів).

$$U_2^1 = 5B - 0,7B - 0,7B = 3,4B$$

При високому рівні на вході інвертора, коли $U' > U_{пор}$, транзистор *VT1* переходить в режим насичення. Через резистори *R3* і *R4* протікає струм, за рахунок падіння напруги на цих резисторах, транзистор *VT2* закривається (переходить в режим відсічення), а транзистор *VT3* переходить в режим насичення. При цьому на виході встановлюється низький рівень сигналу:

$$U' > U_{пор},\ U_2^0 = I_н^0 * r_{кн3},$$

де $r_{кн3}$ – опір насиченого транзистора *VT3*.

Передаточна характеристика елемента - залежність вихідної напруги U_2 від домінуючого вхідного сигналу U_1^*: $U_2 = f(U_1)$. Вид передаточної характеристики залежить від типу і параметрів завантаження (рис. 2.2), де:

$$U_1 = \min\{U_{1i}\}.$$

На передаточній характеристиці можна виділити чотири характерні області.

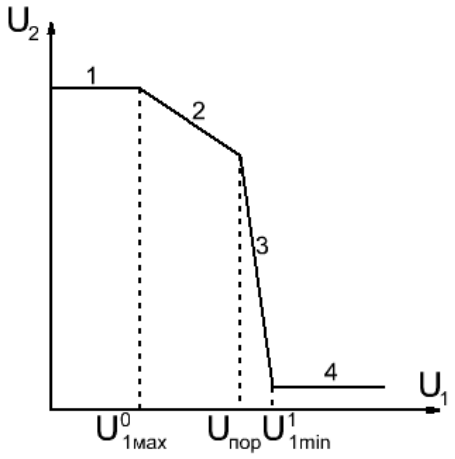


Рис. 2.2

В області 1, $U_1 < U_{пор}$, транзистори *VT1* та *VT3* залишаються запертими, і на їх виході логічного елемента підтримується постійна напруга:

$$U_2^1 = U_{ип} - U_{OT2} - U_{0VD4}$$

В області 2 транзистори VT1 і VT2 знаходяться в активному режимі, і схема має коефіцієнт передачі напруги:

$$K_{U_2} \cong -\frac{R_3}{R_4}$$

У цій області погіршується завадостійкість логічного елемента на рівні логічного нуля. Як було зазначено, завдяки діоду *VD3* порогова напруга збільшується.

$$U_{пор} = U_{0VT1} + U_{0VT3} + U_{0VD3} - U_{0VD1(2)}$$

Якби не було діода *VD3*, то транзистор *VT1* відкривався б через найменшу заваду на рівні логічного "0", а включення діода *VD3* обумовлює необхідність резистора *R2*, причому його опір вибирається з умови:

$$R_2 \cdot I_{ко\max} \le U_{0VT1\min},$$

де I_{k01max} – максимальний тепловий струм і $U_{0VT1min}$ – мінімальна прогова напруга транзисторв *VT1*.

Це випливає з умови термостабілізації. При максимальній температурі встановлюється мінімальна напруга на емітерному переході *VT1* і максимальний тепловий струм $I_{ко1}$.

В області 3 всі транзистори знаходяться в активному режимі, тому коефіцієнт передачі напруги K_{U3} максимальний і передаточна характеристика круто спадає.

В області 4 транзистори *VT1* і *VT3* насичені, транзистор *VT2* запертий і вихідна напруга логічного нуля не залежить від напруги U_1^*, а визначається параметрами навантаження:

$$U_2^0 = I_н^0 * r_{кн} \ .$$

2.2. Логічний елемент І-АБО-НЕ (АБО-НЕ)

На рисунку 2.3 на прикладі ДТЛ - елемента двоступеневої логіки І-АБО-НЕ показана схема підсилювача потужності, що часто використовується в інтегральних мікросхемах (ІМС) на біполярних транзисторах.

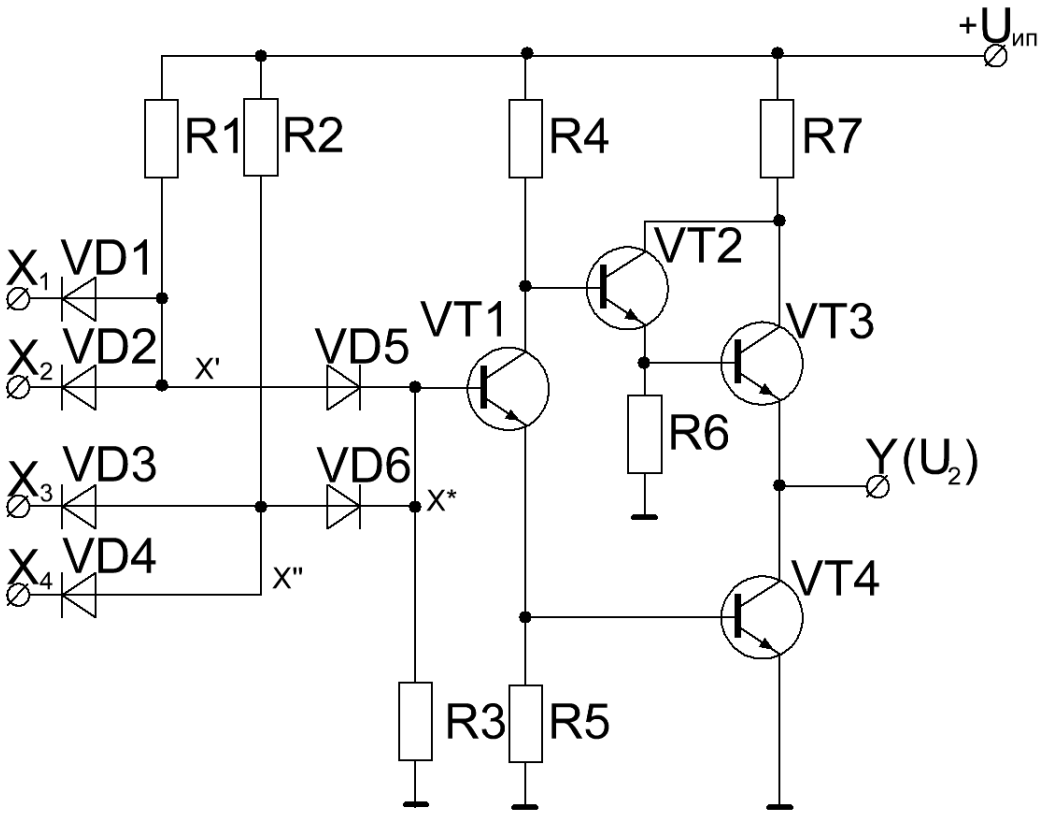


Рис. 2.3

Проміжні логічні сигнали визначаються логічними виразами:

$$X' = X_1 \cdot X_2 ,$$

$$X'' = X_3 \cdot X_4,$$

$$X^* = X' + X''.$$

Вихідний сигнал:

$$Y = \overline{X^*} = \overline{X_1 X_2 + X_3 X_4}$$

реалізує двоступеневу логічну функцію.

Тут перший каскад *VT1* має два фазоінверсних виходи, які керують режимами транзисторів кінцевого каскаду на складеному транзисторі *VT2, VT3* і транзисторі *VT4*. Резистор *R6* забезпечує відведення теплового струму, необхідний для забезпечення температурної стабільності транзистора *VT3*. Якщо вхідний сигнал:

$$U_1 = \max\{\min(U_{11}, U_{12}); \min(U_{13}, U_{14})\} = \max\left\{U_1^{/}, U_1^{//}\right\} < U^0{}_{пор}$$

то транзистори *VT1* і *VT4* заперті, а *VT2* і *VT3* відкриті і на виході формується високий рівень:

$$U_2^1 = U_{И.П.} - I_{K01} R_3 - U_{OT2} - U_{OT3},$$

де U_{0T2}, U_{0T3} - падіння напруги на емітерних переходах транзисторів вдповідно *VT2* і *VT3*.

Якщо ж $U_1 > U_{пор}^1$, то транзистори *VT1* і *VT4* насичені, а *VT2, VT3* знаходяться в режимі відсічення. На виході встановлюється низький рівень:

$$U_2^0 = i_2 r_{K.H.},$$

де i_2 - ток зовнішнього навантаження, $r_{кн}$ - опір насиченого транзистора *VT4*.

В обох станах наскрізний струм через транзистори *VT2, VT3* і *VT4* не протікає, оскільки в цьому ланцюзі завжди один транзистор запертий. Завдяки цьому вихідний опір ДТЛ - елемента в обох логічних станах мало. Наскрізний струм через кінцевий каскад може протікати в перехідному режимі з логічного нуля в логічну одиницю на виході. Для його обмеження в схему включений резистор *R5*. Здатність навантаження таких елементів досягає $K_{раз} = 10$ і вище.

Окремий випадок схеми, яка представлена на рис. 2.3, коли вхідні схеми мають по одному входу:

$$X' = X_1,$$

$$X'' = X_3.$$

відповідає реалізації логічного елемента АБО-НЕ:

$Y = \overline{X_1 + X_3}$.

3. Транзисторно-транзисторна логіка (ТТЛ)

Елементи типу транзисторно-транзисторної логіки (ТТЛ) є технологічним розвитком ДТЛ-елементів та в даний час все ще застосовуються. Найпростіший ТТЛ-елемент можна отримати з ДТЛ-елемента заміною групи вхідних діодів VD1, а також діода зміщення VD3 багатоемітерним біполярним транзистором (БЕТ) з числом емітерів, що відповідає числу входів m (рис. 3.1).

Передаточна характеристика даної схеми схожа на характеристику ДТЛ-елемента. Відмінність полягає в зміні порогової напруги:

$$U_{пор} \approx U_{K.H1} + U_{0VT1} + U_{0VT4},$$

де $U_{K.H1}$ - напруга колектор-емітер насиченого БЕТ; $U_{0VT1,4}$ - порогова напруга транзисторів *VT1, VT2*. Вхідний струм I_1 при високому рівні вхідного сигналу U_1^1 більше, ніж в ДТЛ-елементі, тому що являє собою струм транзистора *VT1* в інверсному активному режимі.

3.1. Базовий елемент І-НЕ (елемент Шеффера)

Схема базового ТТЛ-елемента промислових серій, що реалізує логічну функцію І-НЕ, показана на рис.3.1.

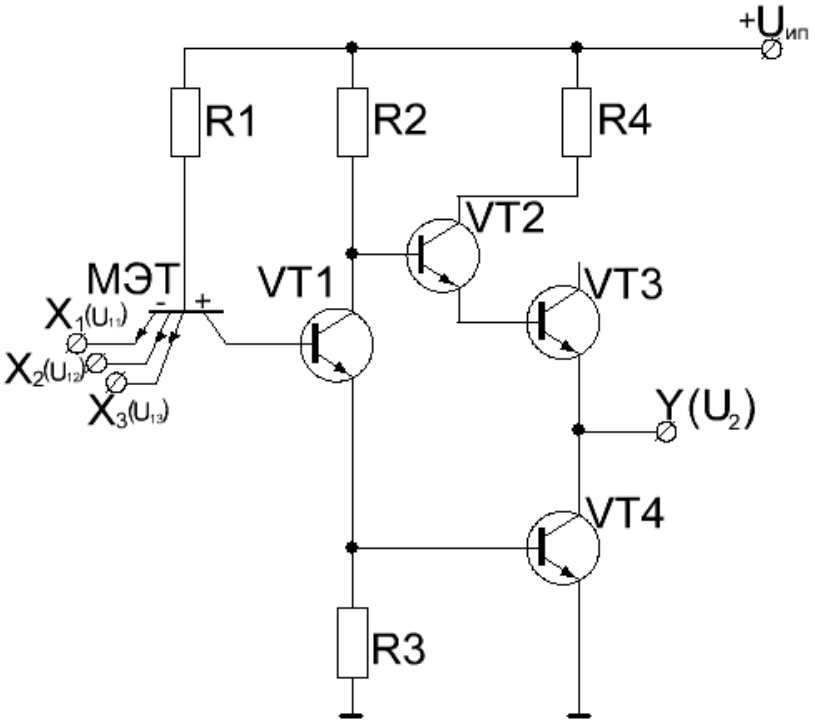


Рис.3.1

В системі позитивної логіки транзистор БЕТ з резистором *R1* в ланцюзі бази реалізують логічну операцію "І", а двотактний підсилювач потужності на транзисторах *VT1, VT2, VT4* (*VT3* використовується як діод) виконує функцію НЕ, забезпечує формування стандартних логічних рівнів вихідного сигналу і узгодження ТТЛ-елемента із заданим навантаженням.

Режим роботи БЕТ визначається домінуючим вхідним сигналом:

$$U_1^* = \min\{U_{1i}\}, i = \overline{1,m},$$

а також вхідним опором транзистора *VT1*. Якщо потенціал бази транзистора *VT1* $U_{Б1}$ менше порогової напруги U_{01} (для кремнієвих транзисторів $U_0^{Si} \approx 0.7B$), транзистор *VT1* знаходиться в режимі відсічення і на його колекторі підтримується високий потенціал $U_{K1} \approx U_{ДЖ.Ж.}$, а на емітері– низький $U_{E1} = U_{Б4} \approx 0$. Тому транзистор *VT4* також запертий, а транзистори *VT2, VT3* відкриті (в активному режимі). При відключеному навантаженні струм через *VT2, VT3* визначається зворотним струмом колекторного переходу транзистора *VT4* $I_{K.0}$. Вхідний опір транзистора *VT1* великий (опір витоку його колекторного переходу) і вхідний струм малий: $I_{Б1} = -I_{K.01}$. Зі збільшенням потенціалу $U_{Б1} > U_{01}$ транзистор *VT1* переходить в активний режим, струми I_{K1} і I_{E1} збільшуються, зростає потенціал U_{E1} і падає напруга колектора U_{K1}. Поки потенціал U_{E1} недостатній для відпирання транзистора *VT1*, вхідний опір транзистора *VT1*

$$R_{вх1} = r_{Б1} + (\beta_1 + 1)(\varphi_T / I_{Е1} + R_3) \approx R_3\beta_1\left[\varphi_T /(U_{Б1} - U_{01}) + 1\right]$$

залишається великим і вхідний струм $I_{Б1} = I_K$ незначно зростає. У момент відмикання транзистора VT4 повний емітерний опір $R_{вх4} = \left[r_{Б4} + (\beta_4 + 1)\varphi_T / I_{Э4}\right] \| R_3$ і, отже, вхідний опір транзистора *VT1* різко зменшується і відповідно збільшується струм $I_{Б1}$

Таким чином, вхідний опір різко падає при $U_{Б1} \approx U_{01} + U_{04} = U_{пор} \approx 1{,}4B$. Тому при будь-якій комбінації вхідних сигналів, якщо $U_1^* < U_{пор}$, струм бази БЕТ

$$I_Б^0 = (U_{И.П.} - U_1^* - U_0) / R_1$$

протікає через один або кілька прямозміщених емітерних переходів БЕТ і підтримує його в режимі насичення. Оскільки напруга колектор - відкритий емітер в режимі насичення транзистора $U_{К.Н.} \approx 0$, можна вважати, що $U_{Б1} = U_1^* + U_{К.Н.} \approx U_1^*$, тобто вхідна напруга підсилювача $U_{Б1}$ дорівнює найменшій з вхідних напруг.

Якщо $U_1^* > U_{пор}$, все емітери ББТ зміщені у зворотному напрямку, а колектор - в прямому і БЕТ працює в інверсному активному режимі.

На колекторі насиченого транзистора *VT1* і базі *VT2* має місце низький потенціал, що складається з напруги на відкритому емітерному переході транзистора *VT4* і залишкової напруги насичення транзистора *VT1*:

$$U_{К1}^0 = U_{Б2}^0 = U_{Б4} + U_{К.Н1} \approx U_{Б4}.$$

Вихідна напруга U_2^0 визначається напругою колектор-емітер транзистора *VT4* в насиченому стані і пропорційно току навантаження I_2:

$$U_2^0 = r_{К.Н4} I_2,$$

де $r_{К.Н4}$ - опір проміжку колектор-емітер насиченого транзистора *VT4*.

У разі насичення транзистора *VT1* між базою транзистора *VT2* і емітером транзистора *VT3* з урахуванням двох попередніх формул діє напруга

$$U_{Б2-Э3} = U_{Б2} - U_2^0 = U_{Б4} + U_{К.Н.1} - r_{К.Н.4} I_2$$

У найгіршому випадку при холостому ході на виході $I_2 = 0$ напруга $U_{Б2-Е3}$ максимальна $U_{Б2-Э3} \approx U_{Б4} \approx 0{,}7B$: Ця напруга здатна відкрити один емітерний перехід, але його недостатньо для відмикання двох послідовно включених переходів транзисторів *VT2* і *VT3*. Тому в вихідний ланцюг введений транзистор *VT3* в діодному включенні, який забезпечує надійне запирання транзистора *VT2* при насиченні *VT1*.

3.2 Модифікації ЛЕ І-НЕ

3.2.1. ЛЕ із вільним колектором

Іноді виникає необхідність використовувати для управління навантаженням ЛЕ, які мають окремі джерела живлення з великим струмом споживання. Таким навантаженням може бути обмотка реле, світловий індикатор та ін. Для цієї мети використовують ЛЕ, в колекторному ланцюзі вихідного транзистора якого немає резистора, і тому його називають логічним елементом з вільним колектором. Спрощену схему такого ЛЕ показано на рис.3.2, де $R_н$ - зовнішнє навантаження мікросхеми. Для цього випадку:

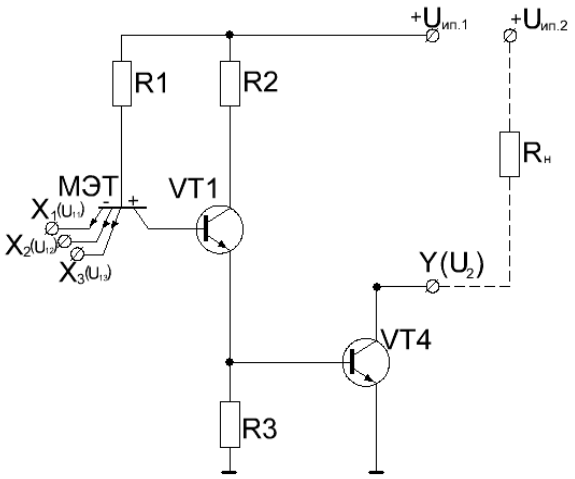


Рис. 3.2

$$U_2^1 = U_{ип2} - I_{ко4} \cdot R_н \approx U_{ип2}$$

$$U_2^0 = I_{кн} \cdot r_{кн4} = \frac{U_{ип2}}{R_н + r_{кн4}} \cdot r_{кн4}$$

Для нормальної роботи ЛЕ колектор вихідного транзистора *VT4* необхідно підключати, як показано на рис.3.2, до джерела живлення через ланцюг зовнішнього навантаження. При цьому зовнішні пристрої, які підключають до виходу, можуть працювати від інших джерел живлення ($U_{ип2}$)з більш високою напругою.

ЛЕ з вільним колектором допускає паралельне підключення декількох ЛЕ до загального навантаження. При такому з'єднанні, якщо на виході одного з елементів буде низький потенціал U_2^0, то і на виході всієї системи теж буде логічний нуль. Щоб забезпечити високий рівень потенціалу U_2^1 на загальному виході, необхідно закрити вихідні транзистори всіх ЛЕ, тобто встановити їх в стан логічної одиниці. Таким чином, паралельним підключенням декількох ЛЕ з відкритим колектором до загального навантаження можна

створити систему, яка виконує операцію "І". На рис. 3.3 наведено приклад монтажного об'єднання двох мікросхем. В цьому випадку:

X'	X''	Y
0	0	0
0	1	0
1	0	0
1	1	1

$$X' = \overline{x_1 x_2 x_3}\,;\;\; X'' = \overline{x_4 x_5}$$

$$Y = X' \cdot X'' = \overline{x_1 x_2 x_3} \cdot \overline{x_4 x_5} = \overline{x_1 x_2 x_3 + x_4 x_5}$$

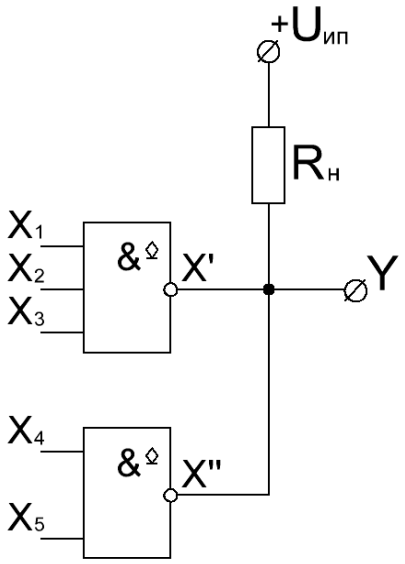


Рис. 3.3

Таке з'єднання ЛЕ з відкритим колектором називають «монтажним І».

3.2.2. ЛЕ з блокуванням

На рис. 3.4 наведено ЛЕ з входом V, що забезпечує при V = 0 відключення виходу мікросхеми від навантаження:

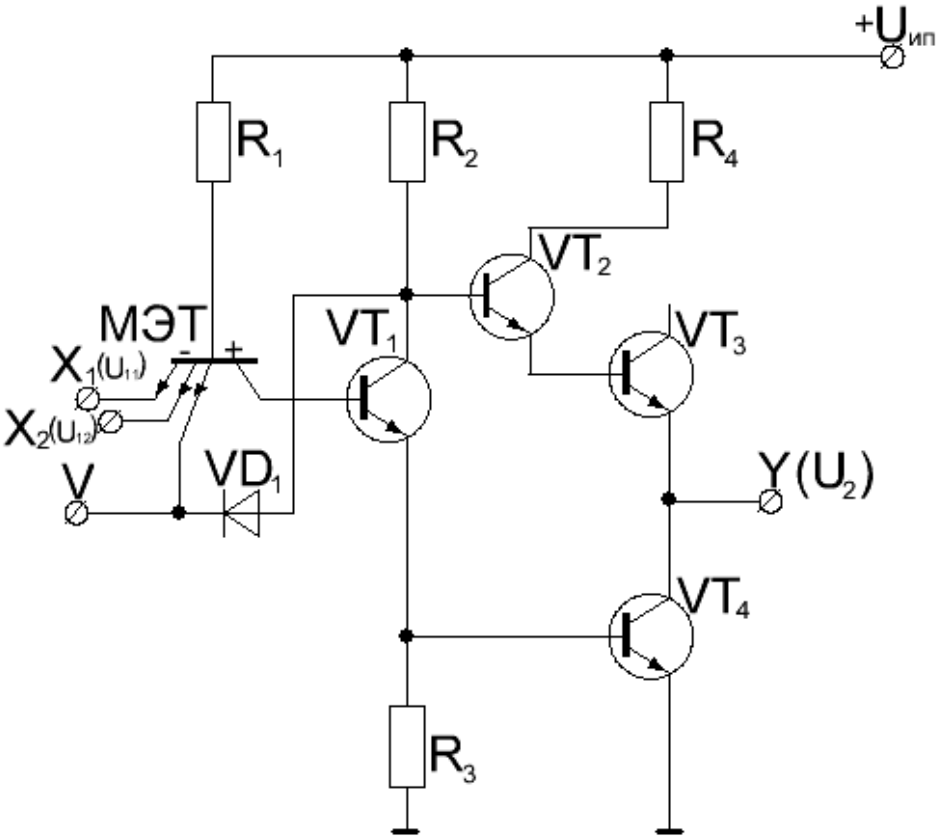


Рис. 3.4

Якщо на вхід V подається 1: V = 1, то $Y = \overline{X_1 X_2}$.

При *V = 0* вихід відключений, транзистори *VT2* і *VT4* закриті. Це стан високоомного виходу. У цьому випадку стан виходу Y визначається зовнішнім ланцюгом.

Входи блокування дозволяють включити ТТЛ-елементи на загальні сигнальні шини.

3.3. ЛЕ І-АБО-НЕ, АБО-НЕ

До базових ІМС серій ТТЛ відносяться елементи, що реалізують логічні функції АБО-НЕ, І-АБО-НЕ.

На рис. 3.5 зображена схема логічного елемента 2-2І-2АБО-НЕ.

Логічні змінні у схемі визначаються співвідношеннями:

$$X' = X_1 X_2,\ X'' = X_3 X_4,\ Y' = X' + X'',\ Y = \overline{Y'} = \overline{X' + X''} = \overline{X_1 X_2 + X_3 X_4}.$$

Тут логічна функція І реалізується багатоемітерними транзисторами *VT1'* і *VT1"* аналогічно розглянутій схемі І-НЕ. Функція АБО реалізується паралельно включеними транзисторами *VT2'* і *VT2"*. Якщо хоча б один з них відкритий, через резистори *R2, R3* протікає струм, який створює для транзистора *VT3* запираючий, а для *VT5* - відпираючий

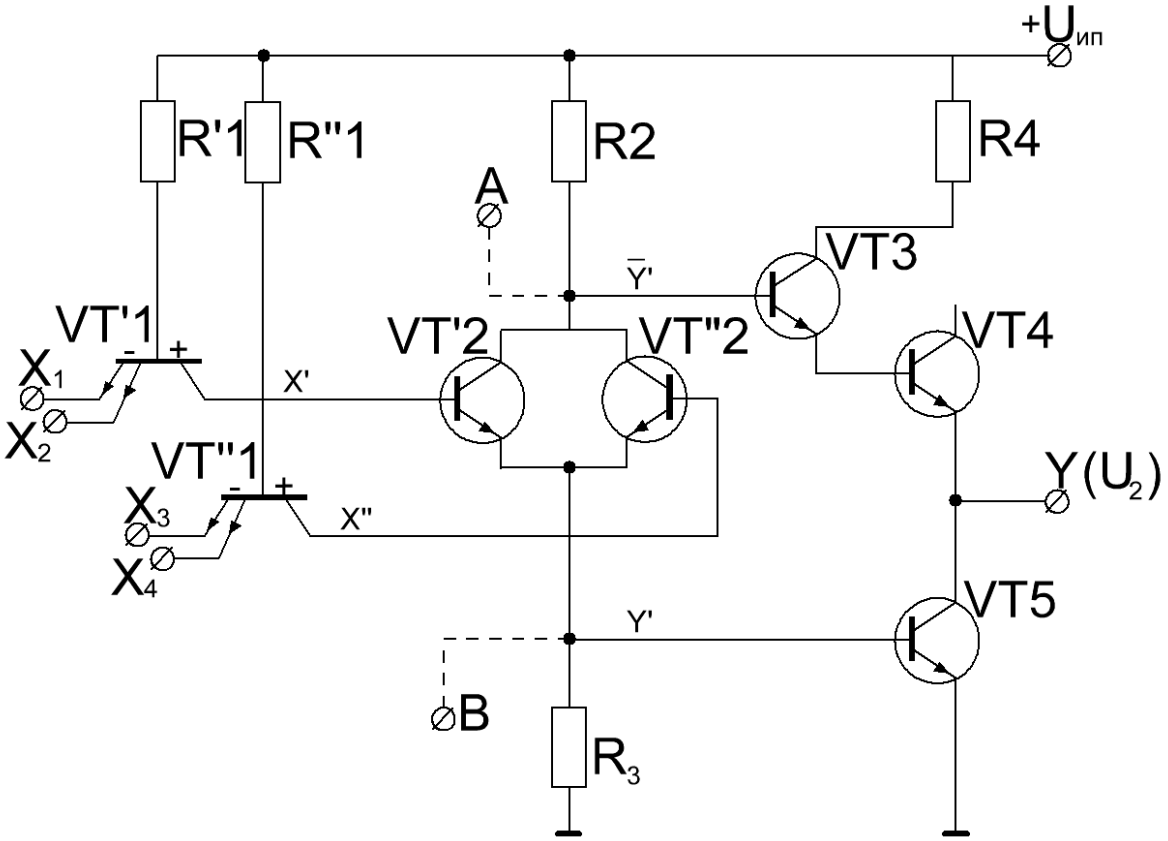


Рис. 3.5

потенціали на базі і на виході елемента встановлюється логічний нуль. Якщо ж *VT2'* і *VT2"* одночасно замкнені, на виході встановлюється рівень U_2^1. Кількість входів за І може бути різним за кожною з груп, але зазвичай $K_{ОБ.И} \le 8$. В окремому випадку, коли кожен з транзисторів *VT1'* і *VT1"* має один емітер, отримуємо елемент одноступінчатої логіки АБО-НЕ. Кількість входів (груп) за АБО обмежена $K_{ОБ.ИЛИ} \le 4$ міркуваннями швидкодії і температурної стабільності, ослільки паралельне включення транзисторів *VT2'* і *VT2"* збільшує еквівалентну ємність навантаження фазоінверсного каскаду, при цьому в резисторі *R2* протікає сумарний тепловий струм $I_{К.0}$ транзисторів *VT2*.

На схемі рис. 3.5 показані виходи А, В, які можуть бути використані для підключення додаткових зовнішніх схем, що розширюють логічні можливості елемента за допомогою розширювача логіки (рис. 3.6-*а*). Для схеми на рис. 3.6-*б* вихідний сигнал визначається співвідношенням:

$$Y = \overline{X_1X_2 + X_3X_4 + X_5X_6X_7}$$

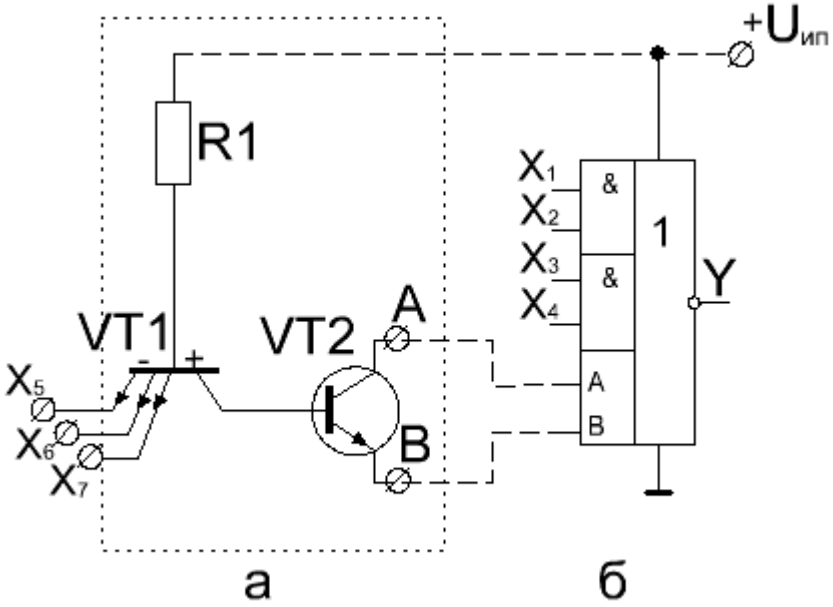


Рис. 3.6

4. Емітерно-зв’язана логіка (ЕЗЛ)

Цифрові елементи емітерно-зв'язаної логіки (ЕЗЛ) засновані на перемикачах струму і відрізняються від інших типів ІМС найбільшою швидкодією, але і високою споживаною потужністю. Висока швидкодія (або низький час циклу перемикання) в ЕЗЛ-елементах обумовлено тим, що біполярні транзистори в цих схемах працюють без насичення, тобто можуть перебувати або в активному режимі, або в режимі відсічення. Другим важливим фактором, що забезпечує збільшення швидкодії, є використання в елементах низькоомних резисторів, що забезпечують швидкий перезаряд паразитних ємностей за рахунок збільшення споживаної енергії і зниження перепаду логічних сигналів, а значить і завадостійкості ЕЗЛ-елементів. Схемним засобом збільшення швидкодії є використання на виходах емітерних повторювачів, що забезпечують перезаряд ємностей в ланцюгах навантаження через малі вихідні опори. Одночасно підвищується навантажувальна здатність: $K_{раз} \leq 15$.

На рис.4.1 наведена схема базового логічного елемента ЕЗЛ, який реалізує логічну функцію 2АБО-НЕ.

Структурно така схема являє собою міст, до однієї з діагоналей якого через джерело стабільного струму I_0 докладено напругу живлення $U_{ДЖ.Ж.}$. З іншої діагоналі (колектори транзисторів *VT1* і *VT2*) знімається вихідний сигнал. На базу транзистора *VT2* подається

постійний потенціал $U_{0П}$ від джерела опорної напруги. Якщо $R_1 = R_2 = R_K$ і на базу транзистора *VT1* надходить потенціал $U_1 = U_{ОП} < I_0 R_K$, то при збігу параметрів транзисторів міст урівноважений, тобто $i_{K1} = i_{K2} = 0.5 I_0$ і $U_{21} = U_{22} = 0.5 R_K I_0$. В цьому випадку обидва транзистора знаходяться в активному режимі і є транзисторний підсилювальний каскад з емітерний зв'язком і симетричним (фазоінверсним) виходом. У цифровій схемотехніці такий каскад використовується в режимі перемикання. Для цього опорна напруга вибирається зі співвідношення логічних рівнів (U_1^0, U_1^1) керуючого сигналу: $U_{0П} \approx 0.5(U_1^0 + U_1^1)$.

4.1. Базовий логічний елемент АБО / АБО-НЕ

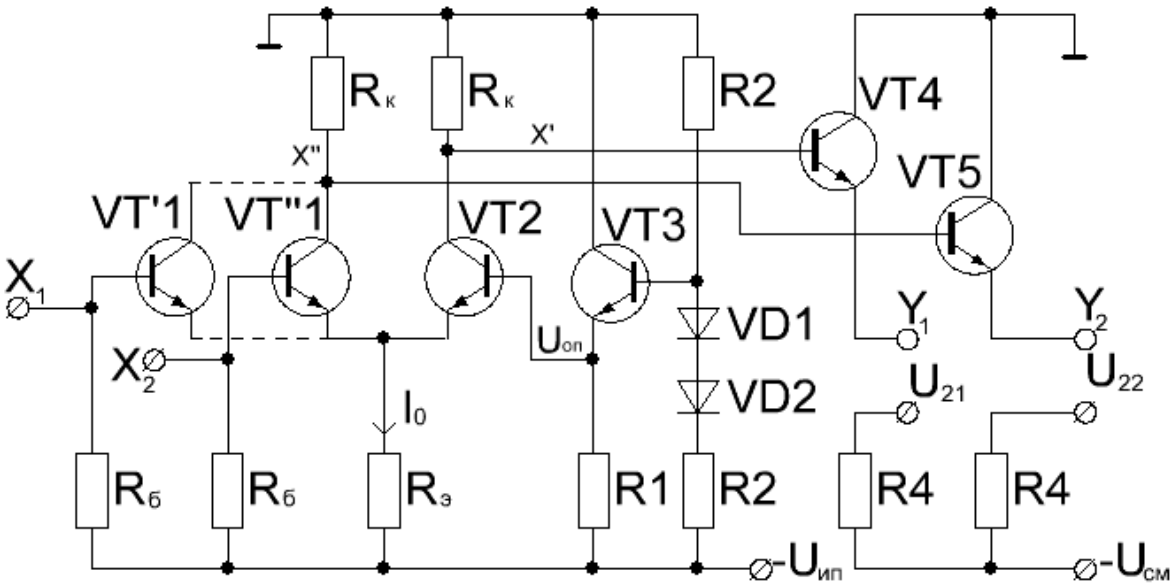


Рис 4.1

Побудуємо таблицю істинності для двох вхідних сигналів і подивимося, як поводяться транзистори для кожної з комбінацій. Логіка роботи схеми:

X_1	X_2	Y_1	Y_2
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

$$X' = X_1 + X_2$$

$$X'' = \overline{X'} = \overline{X_1 + X_2}$$

$$Y_1 = X' = X_1 + X_2$$

$$Y_2 = X'' = \overline{X_1 + X_2}$$

У схемі на рис.4.1 перемикач струму побудований на транзисторі *VT2* і групі паралельно включених транзисторів *VT1* по числу логічних входів ЕЗЛ елемента. Загальний емітерний струм транзисторів *VT1* і *VT2* стабілізується високоомним резистором R_E. Опорна напруга $U_{ОП}$ визначається резистивним поділювачем *R2, R3* напруги, яка через емітерний повторювач, виконаний на транзисторі *VT3*, подається на базу транзистора *VT2*. Для температурної компенсації напруги в базовому ланцюзі транзистора *VT3* включені діоди *VD1, VD2*. Емітерні повторювачі на виходах ЕЗЛ-елемента (транзистори *VT4* і *VT5*) забезпечують посилення вихідного сигналу за струмом і потужністю, а так само узгодження рівнів вхідних і вихідних сигналів, знижуючи рівні сигналів на виходах ЕЗЛ-елемента на $U_0 \approx 0.7B$ (нижче, ніж потенціали колекторів транзисторів *VT1* і *VT2*). Емітерний резистор *R4* підключається в разі необхідності зовнішньою перемичкою. Це дає можливість об'єднувати виходи кількох ЕЗЛ-елементів в «монтажне АБО» на одному загальному резисторі *R4* (рис. 4.2).

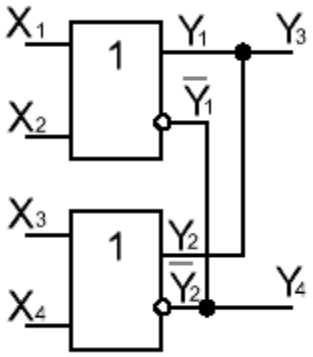


Рис 4.2

$$Y_3 = Y_1 + Y_2 = X_1 + X_2 + X_3 + X_4$$

$$Y_4 = \overline{Y_1} + \overline{Y_2} = \overline{X_1 + X_2} + \overline{X_3 + X_4} = \overline{(X_1 + X_2) \cdot (X_3 + X_4)}$$

Резистори $R_Б$ призначені для надійного замикання транзисторів *VT1* на невикористаних входах. Для поліпшення завадостійкості елемента зазвичай поділяють шини «земля» так, що до однієї шині підключені внутрішні логічні елементи, а до іншої – емітерні повторювачі. В цьому випадку імпульсні перешкоди в потужних ланцюгах емітерних повторювачів не впливають на режим роботи перемикача струму.

Розглянемо докладніше принцип роботи базового ЕЗЛ-елемента (рис. 4.1), який заснований на роботі перемикача струму на транзисторах *VT1* і *VT2*. Потенціал загального емітера транзисторів *VT1* і *VT2* залежить від напруги домінуючого з *m* вхідних сигналів U_{1i}:

$$U_1^* = \max\{U_{1i}\}, \ i = \overline{1, m}.$$

Потенціал бази транзистора*VT3* визначається поділювачем: $U_{Б3} = \frac{U_{ип} - 2U_0}{R_2 + R_3} \cdot R_2$, а опорна напруга: $U_{оп} = U_{Б3} - U_{О3} = const = U_{Б2} = -1.3B$.

Тоді струм: $I_0 = \frac{U_{оп} - U_0}{R_э} = const$

Рівні напруги на колекторах *VT1* і *VT2* при $U_1^* = U^0$:

$$U_{K1}^1 = -I_{KO} \cdot R_K \cdot K_{ОБ} \approx 0B$$

де $K_{ОБ}$ – коефіцієнт об'єднання за входом (кількість входів);

$$U_{K2}^0 = -I_0 \cdot \alpha \cdot R_K \approx -0.9B.$$

Як уже зазначалося, транзистори *VT4* і *VT5* крім посилення по току забезпечують узгодження рівнів вхідних сигналів, знижуючи потенціали колекторів *VT1* і *VT2* на величину U_0:

$$U_{21} = U_{K2} - U_{04}, \text{ тобто } U_2^0 = -0.9 - 0.7 \approx -1.6B,$$
$$U_{22} = U_{K1} - U_{05}, \text{ тобто } U_2^1 = 0 - 0.7 = -0.7B$$

Таким чином, особливістю цих елементів є:

- висока швидкодія;
- дещо велика споживана потужність;
- малі перепади напруги (U_2^0 = -1.6В; U_2^1 = -0.7В);
- немає прив'язки логічних рівнів до напруги живлення.

4.2. Базовий логічний елемент Е^{2}ЗЛ

В логічних елементах Е^{2}ЗЛ останній недолік усунуто (рис.4.3).

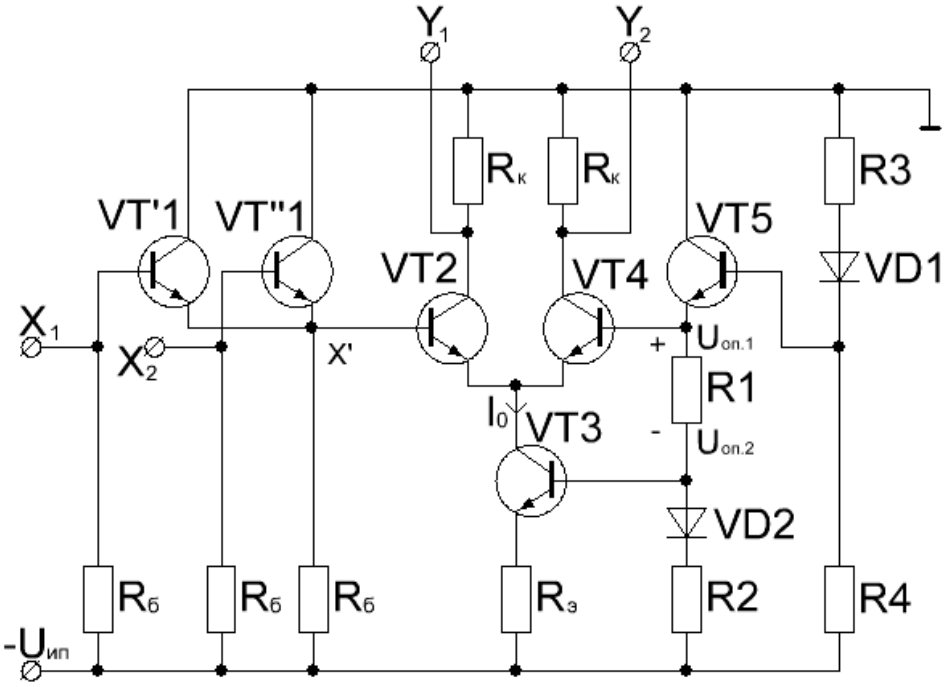


Рис. 4.3

Логіка роботи елемента аналогічна:

$$X' = X_1 + X_2$$

$$Y_1 = \overline{X'} = \overline{X_1 + X_2}$$

$$Y_2 = \overline{Y_1} = X' = X_1 + X_2$$

У даній схемі транзистор *VT3* є генератором стабільного струму I_0.

$$U_{ОП.1} = \frac{-U_{ип} - U_{0VD1}}{R_3 + R_4} \cdot R_3 - U_{0VT5}$$

$$U_{ОП.2} = -\frac{U_{ОП.1} - U_{ип} - U_{0VD2}}{R_1 + R_2} \cdot R_1 + U_{ОП.1}$$

$$I_0 = \alpha \cdot I_{Э4} = \frac{U_{ОП2} - U_{0VT4} - U_{ип}}{R_Э} = const$$

$$U_2^0 = -I_0 \cdot R_K \approx -0.9B$$

$$U_2^1 = -I_{K0} \cdot R_K \approx 0B$$

Транзистори *VT1'* і *VT1"* виконують функцію узгодження рівнів вхідного і вихідного потенціалів і збільшують вхідний опір.

Діод *VD2* забезпечує термостабілізацію струму I_0, а *VD1* - термостабілізацію порогового рівня сигналів, що перемикаються.

У схемах E^2ЗЛ-елементів (рис.4.3) узгодження рівнів сигналів перенесено з виходів на вхід, який представляє собою *m*-входовий емітерний повторювач. Швидкодія E^2ЗЛ -елемента вище, оскільки еквівалентні вхідні ємності каскаду з загальним колектором нижче, ніж каскаду з загальним емітером, еквівалентна ємність колектора інвертуючого транзистора *VT2* також менше і не залежить від числа входів. Вихідний опір E^2ЗЛ-елемента $R_{вых} = R_K$ вище, ніж у ЕЗЛ-елементів, але коефіцієнт розгалуження $K_{раз}$ не зменшується через великі опори вхідних навантажувальних елементів. Високий рівень логічного сигналу практично дорівнює потенціалу «землі», завдяки чому зменшується вплив завад і полегшується стикування з логічними елементами типу ДТЛ і ТТЛ.

5. Логічні елементи на МДП-транзисторах

Властивості, електричні параметри і характеристики логічних елементів на МДП-транзисторах повністю визначаються властивостями електронних ключів, на яких такі елементи побудовані.

5.1. ЛЕ типу І-НЕ

Базовий логічний елемент І-НЕ будується на послідовно включених МДП-транзисторах, число яких визначається необхідним числом входів *m* із загальним лінійним або нелінійним навантаженнями, а також на основі *m* комплементарних пар.

5.1.1. n-МДП технологія

Реалізуємо базову функцію алгебри логіки (рис.5.1) $Y = \overline{X_1 \cdot X_2}$.

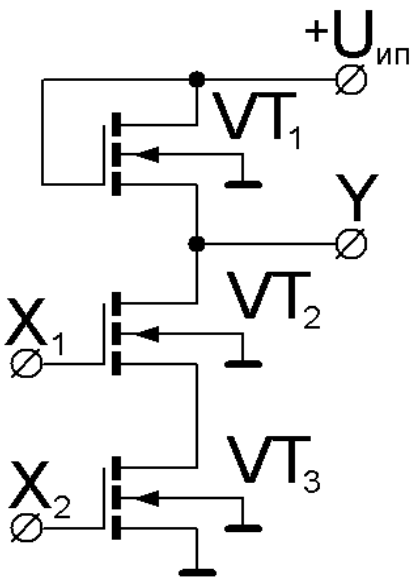


Рис. 5.1

Логічний елемент І-НЕ побудований за допомогою двох транзисторних ключів *VT2* і *VT3*, які підключають послідовно із загальним навантаженням *VT1* (рис.5.1). У цій схемі обидва ключі будуть замкнуті, створюючи шлях для струму та забезпечуючи низький рівень вихідної напруги U_2^0 лише при $X_1 = X_2 = 1$. Якщо на один з входів подати логічний нуль, наприклад, $X_2 = 0$, то транзистор *VT3* закриється, струм у послідовному ланцюзі з транзисторів відсутній і на виході буде високий рівень напруги U_2^1. Таким чином, вихідний сигнал Y отримаємо згідно з таблицею істиності:

X_1	X_2	*Y*
0	**0**	**1**
0	**1**	**1**
1	**0**	**1**
1	**1**	**0**

Тобто: $Y = \overline{X_1 \cdot X_2}$.

Тут X=0 означає, що вхідний сигнал $U_1^0 < U_{пор.}$. При цьому Y=1, що відповідає вихідному потенціалу $U_2^1 = U_{ип} - U_{пор.1}$.

Якщо X_1=X_2=1, то на виході ЛЕ встановлюється Y=0, що відповідає $U_2^0 = (U_{ип} - U_{пор.3}) \cdot \dfrac{K_{об.} \cdot R_i}{R_{i3} + R_i \cdot K_{об.}} \to 0$, при $R_{i3} >> R_i \cdot K_{об.}$,

де R_i - диференційні опори відповідних транзисторів.

Коефіцієнт об'єднання $K_{об.}$ не буває високим, особливо в елементах І-НЕ ($K_{об.} \le 4$), оскільки зі збільшенням числа входів $K_{об.}$ росте рівень логічного «0»:

$$U_2^0 = \frac{U_{ип} - U_{пор}}{R_{iн} + K_{об.} \cdot R_i} \cdot K_{об.} \cdot R_i ,$$

де $R_{iн}$ - опір транзистора-навантаження (на рис.5.1 це *VT1*).

Крім того, з ростом $K_{об}$, збільшується тривалість фронту $t_ф^{10}$ вихідного сигналу:

$$t_ф^{10} = 3 \cdot C_н \cdot R_i \cdot K_{об.}$$

Навантажувальна здатність $K_{раз}$ МДП-елементів всіх видів велика (до 20), хоча вихідний струм у них і невеликий. Це пояснюється дуже великим вхідним опором, що навантажує вихід МДП-транзисторів (більше 10^{12} Ом). Однак слід мати на увазі, що збільшення кількості елементів навантаження, так само, як і збільшення паралельно підключених вхідних транзисторів, призводить до зростання навантажувальних ємностей і, як наслідок, до зниження швидкодії.

5.1.2. КМДП технологія

Логічний елемент І-НЕ реалізується за допомогою двох КМДП-ключів шляхом паралельного включення p-канальних транзисторів і послідовного підключення n-канальних транзисторів. На рис.5.2 зображена електрична схема двухвходового елемента І-НЕ.

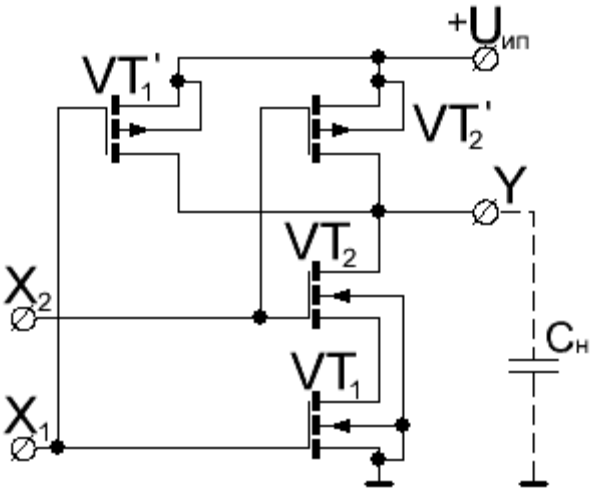


Рис.5.2

Якщо на входи подано напруги високих рівнів, тобто $X_1 = X_2 = 1$, то транзистори *VT1* та *VT2* відкриті, а *VT1*$^{/}$ та *VT2*$^{/}$ заперті. Напруга на виході близька до нуля, $U_2^0 \approx 0$, тобто Y=0.

Якщо хоча б на один з входів подано логічний нуль, наприклад, $X_1 = 0$, то транзистор *VT1* запирається, а транзистор *VT1*$^{/}$ відкривається. При цьому $U_2^1 = U_{ип}$.

Для всіх випадків струм споживання $I_{потр}^{1,0} = 0$.

Тривалість фронтів вихідного сигналу:

$$t_ф^{01} = 3\tau^{01} = 3C_н \cdot R_{ip},$$

$$t_ф^{10} = 3\tau^{10} = 3C_н \cdot R_{in} \cdot K_{ОБ} > t_ф^{01},$$

де R_{ip}, R_{in} — диференційний опір відкритого відповідно m- і n-канального транзистора;

$C_н$ – еквівалентна ємність навантаження.

Головна перевага КМДП-елементів полягає в тому, що в їх обох статичних станах струм від джерела живлення майже не протікає, тому споживана потужність дуже мала. Однак, під час роботи елемента струм заряджає небажані ємності, тому динамічна споживана потужність пропорційна частоті перемикання і може на кілька порядків перевищувати статичну.

5.2. ЛЕ типу АБО-НЕ

У логічних елементах АБО-НЕ електронні ключі об'єднуються в паралельну групу по числу входів. $m \le K_{ОБ}$. Опір групи паралельно з'єднаних транзисторів визначається

найменшим з паралельних ланок, тобто транзистором, на затвор якого подано найбільшу з вхідних напруг

5.2.1. n-МДП технологія

На рис.5.3 наведена схема, яка реалізує функцію $Y = \overline{X_1 + X_2}$:

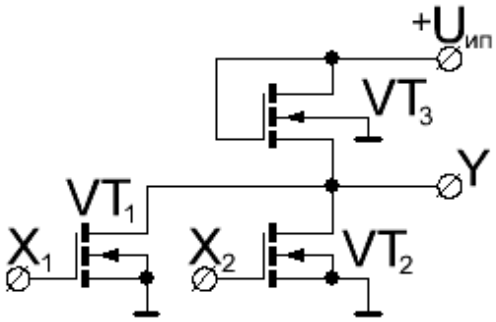


Рис. 5.3

Якщо на обидва входи подано низький рівень логічного нуля ($X_1 = X_2 = 0$), то транзистори *VT1* і *VT2* заперті і на виході буде високий рівень напруги: Y = 1.

Якщо подати високий рівень логічної одиниці хоча б на один з входів, наприклад, *VT2* транзистор відкриється, тобто вихід Y через невеликий опір R_i підключається до загальної шини і напруга на виході буде низькою, тобто Y = 0. Таки чином, вихідний сигнал Y визначається таблицею станів:

X_1	X_2	**Y**
0	**0**	**1**
1	**0**	**0**
0	**1**	**0**
1	**1**	**0**

Логічній «одиниці» на виході (Y=1) відповідає напруга $U_2^1 = U_{ип} - U_{пор.3}$.

Логічному «нулю» на виході (Y=0) відповідає напруга $U_2^0 = \dfrac{U_{ип} - U_{пор.3}}{R_{i2} + R_i} \cdot R_i = I_{пот}^0 \cdot R_i$.

Ці елементи мають недолік - вони споживають струм ($I_{пот}^0$) при всіх комбінаціях вхідних сигналів крім однієї: $X_1=X_2=0$.

5.2.2. КМДП -технологія

Логічний елемент АБО-НЕ реалізується за допомогою двох КМДП-ключів шляхом паралельного включення n-канальних транзисторів і послідовного підключення p-канальних транзисторів. На рис.5.4 зображена електрична схема двухвходового елемента АБО-НЕ з елементами захисту входів від статичних завад.

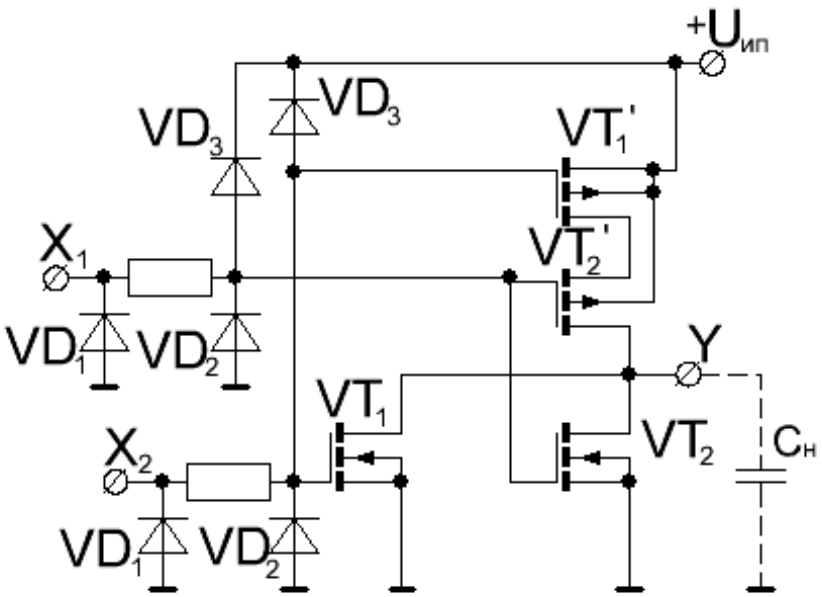


Рис. 5.4

Якщо на входи подано напруги низьких рівнів, тобто $X_1 = X_2 = 0$, то транзистори *VT1* та *VT2* заперті, а транзистори *VT1/* та *VT2/* відкриті. Струм в ланцюзі живлення дуже малий. Напруга на виході близька до напруги живлення: $U_2^1 = U_{ип}$, тобто Y=1.

Якщо хоча б на один з входів подана логічна одиниця, наприклад, $X_1 = 1$, то транзистор *VT1* відкривається, а транзистор *VT1/* замикається. Струм в ланцюзі живлення, як і раніше, буде невеликим, а вихідна напруга $U_2^0 \approx 0$,тобто Y=0.

Діоди і резистори на кожному вході забезпечують захист входів від статичної напруги на зовнішніх виходах корпусу мікросхеми.

Діоди *VD1* та *VD2* захищають входи від негативних викидів на рівні логічного нуля $U_1^0 << 0$, а діоди *VD3* - від позитивних викидів на рівні логічної одиниці $U_1^1 >> U_{ип}$.

Струм в статичному режимі дорівнює нулю для всіх випадків $I_{потр}^{1,0} = 0$. Тривалість фронтів вихідного сигналу:

$$t_{ф}^{01} = 3\tau^{01} = 3C_{н} \cdot R_{ip} \cdot K_{ОБ}$$

$$t_{ф}^{10} = 3\tau^{10} = 3C_{н} \cdot R_{in}, \quad t_{ф}^{10} < t_{ф}^{01}$$

Для внутрішніх логічних елементів будь-якої мікросхеми захист від статичної електрики не передбачається (рис. 5.5).

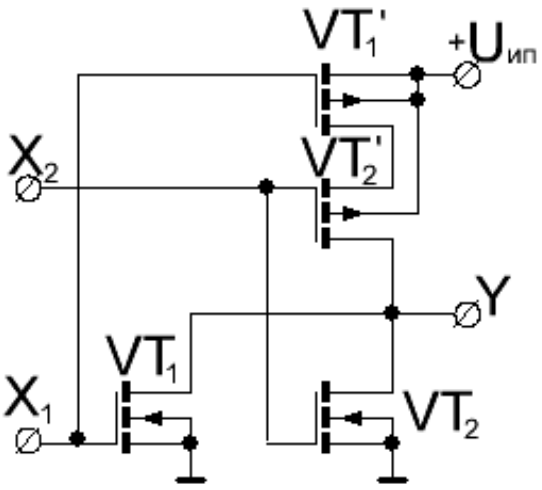


Рис. 5.5

5.3. Елементи двоступеневої логіки

Логічні елементи двоступеневої логіки будуються в вигляді комбінацій послідовних і паралельних груп МДП-транзисторів.

5.3.1. n-МДП технологія

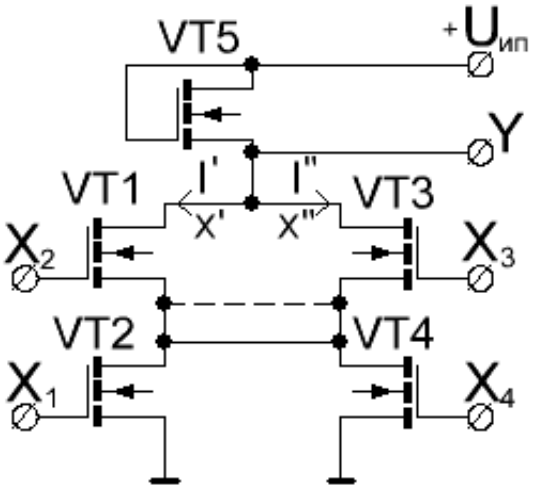


Рис. 5.6

Якщо в схемі (рис.5.6) перемичка між *VT2* та *VT4* (пунктир) відсутня, то кожна з пар послідовно включених транзисторів *VT1, VT2* і *VT3, VT4* в системі позитивної логіки реалізує операцію логічного множення і струми (X',X") протікають, якщо $X_1X_2 = 1$($X_3X_4 = 1$). Якщо через навантажувальний транзистор *VT5* проходить будь-який із струмів X',X" або їх сума, на виході встановлюється низький потенціал, тобто логічний елемент реалізує функцію І-АБО-НЕ. Таблиця станів виходу має вигляд:

X'	X''	**Y**
0	**0**	**1**
0	**1**	**0**
1	**0**	**0**
1	**1**	**0**

Тоді за відсутності перемички: $X' = X_1 \cdot X_2$, $X'' = X_3 \cdot X_4$ і вихідна функція має вигляд:

$$Y = \overline{X' + X''} = \overline{X_1X_2 + X_3X_4}\,.$$

Логічний елемент, який реалізує дану функцію, наведено на рис. 5.7-*а*.

За наявністю перемички вихідна функція змінюється:

$$Y = \overline{(X_1 + X_4) \cdot (X_2 + X_3)}\,.$$

Умовно-графічне зображення такого елемента показано на рис 5.7-*б*.

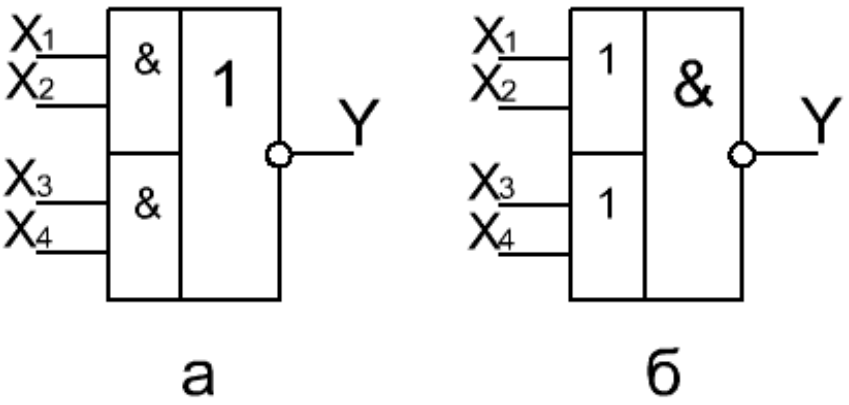


Рис. 5.7

5.3.2. КМДП-технологія

У цифровій схемотехніці широко використовуються логічні елементи, що реалізують операцію арифметичного додавання двох змінних. Для цього повинна бути обчислена функція $Y = X_1\overline{X_0} + \overline{X_1}X_0$, яка може бути реалізована на КМДП-транзисторах

$$Y = X_1\overline{X_0} + \overline{X_1}X_0 = X_1 \oplus X_0 = \overline{X_1 \sim X_0}$$

Схема, що реалізує функцію ВИКЛЮЧНЕ АБО на КМДП-транзисторах, наведена на рис. 5.8.

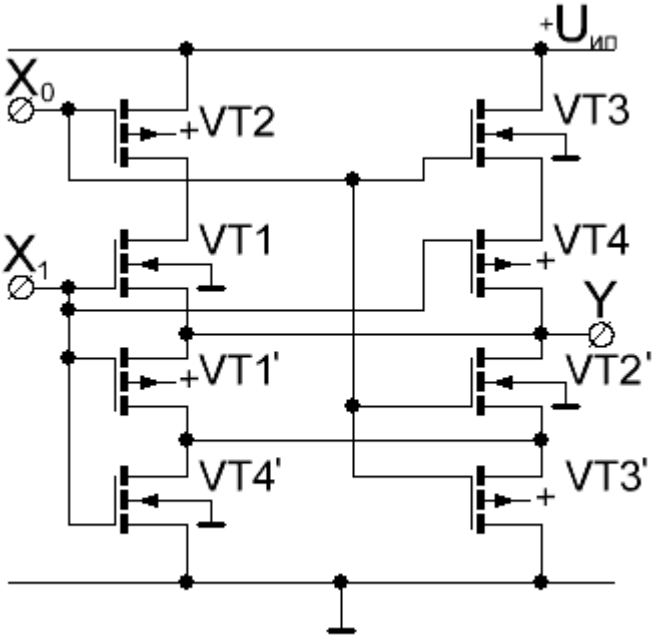


Рис. 5.8

X_1	X_0	**Y**
0	**0**	**0**
0	**1**	**1**
1	**0**	**1**
1	**1**	**0**

Загальне правило побудови одноступінчатої логіки на КМДП-транзисторах:

Для побудови двоступеневої логіки на КМДП необхідно:

• привести функцію до виду МДНФ або МКНФ;

• для кожного мінтерму (МДНФ) включається між виходом і джерелом живлення послідовний ланцюг транзисторів за кількістю аргументів у мінтермі. Аргумент, що входить в мінтерм без інверсії, управляє n-канальним транзистором, а аргумент з інверсією - p-канальним;

• кількість таких послідовних з'єднань відповідає кількості мінтермів. Таким чином, будується верхня частина схеми;

• доповнюючі транзистори включаються між виходом і землею;

• кожний послідовний ланцюжок доповнюється паралельним (і навпаки) ланцюгом транзисторів протилежної провідності;

• паралельні ланки доповнюючої групи між собою включаються послідовно.

При побудові МДНФ з інверсією, ланцюги між вихідним сигналом і джерелом живлення, а також сигналом і землею, міняються місцями.

5.4. Буферні підсилювачі

Для забезпечення більшого коефіцієнта розгалуження по виходу $K_{раз}$ без зниження швидкодії або збільшення споживаної потужності від джерела живлення в n-МДП технології застосовують спеціальні буферні підсилювачі з інвертуванням (або без інвертування) сигналу.

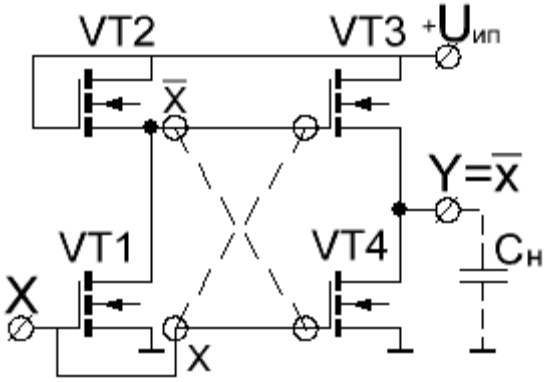


Рис. 5.8

Якщо зв'язки між першим каскадом підсилювача (транзистори *VT1, VT2*) і другим (транзистори *VT3, VT4*) реалізовані штриховими лініями, то формується сигнад $Y = X$.

В разі реалізації зв'язків між каскадами, показаними суцільними лініями формується сигнад $Y = \overline{X}$.

Струм споживання визначається з виразу $I_{пот.} = \dfrac{U_{ип}}{R_{i2} + R_{i1}}$ та може бути дуже незначним, оскільки вибирають транзистори з параметрами $R_{i1}, R_{i2} >> R_{i3}, R_{i4}$.

У двокаскадному буферному підсилювачі перший каскад (транзистори *VT1, VT2*) являє собою інвертор з високоомним навантаженням в ланцюзі стоку *VT2*, але з малою ємністю навантаження. Другий каскад на транзисторах *VT3, VT4* виконаний за двотактною схемою і управляється протифазними сигналами з входу і з виходу інвертора. Тому наскрізний струм від джерела живлення $U_{ДЖ.Ж.}$ через транзистори *VT3, VT4*, які у відкритому стані (R_{i3}, R_{i4}) мають низький опір, виключений. В результаті при малому власному споживанні струму (в основному за рахунок першого каскаду) буферні підсилювачі забезпечують перезаряд еквівалентної ємності навантаження C_H через малі опори транзисторів *VT3, VT4* у відкритому стані. При цьому здатність навантаження без втрати швидкодії зростає до $K_{раз.} \le 30$.

Тривалість фронтів вихідного сигналу:

$$t_{ф}^{01} = 3 \cdot C_{н} \cdot R_{i3},$$

$$t_{ф}^{10} = 3 \cdot C_{н} \cdot R_{i4}.$$

6. Елементи інтегральної інжекційної логіки (І^{2}Л)

6.1. Базовий елемент

Прагнення розробників елементної бази знизити споживану енергію і підвищити ступінь інтеграції логічних елементів на біполярних транзисторах, при збереженні їх головної переваги - високої швидкодії, привело до створення інтегральної інжекційної логіки (І^{2}Л). Технологія І^{2}Л забезпечує щільність упаковки елементів (більше 1000 елементів на 1 мм^2), що перевершує МДП-технологію. За потужністю, що розсіюється І^{2}Л-елементи можна порівняти з КМДП при збереженні високої швидкодії ($t_{ЗД.Р} = 5нс$), що властива біполярним інтегральним мікросхемам (ІМС).

Критерій якості технології - енергія перемикання: чим менше енергія, тим краще технологія. Для І^{2}Л-технології ця енергія становить:

$$W_K = P_{пот} \cdot t_{зд.р.ср.} = 50 \cdot 10^{-12} Дж$$

Зазначені переваги І^{2}Л-елементів досягаються виключенням зі схем резисторів, щозумовлює незначну потужність розсіювання, роботою біполярних транзисторів в ненасиченому режимі, малими паразитними ємностями при незначній різниці логічних рівнів. Використання в І^{2}Л-елементах діодів Шотки дозволяє без збільшення споживаної потужності підвищити швидкодію ($t_{ЗД.Р} = 0.1нс$).

Базовий логічний І^{2}Л-елемент (рис.6.1) містить p-n-p транзистор *VT2*, званий інжектором, що виконує функцію джерела стабільного струму I_K, і багатоколекторний n-p-n транзистор *VT1*, який виконує функцію інвертора. База типу n транзистора-інжектора

об'єднана з емітером типу n транзистора-інвертора. Аналогічно виявилося можливим об'єднати колектор інжектора і базу інвертора, що мають провідність типу p.

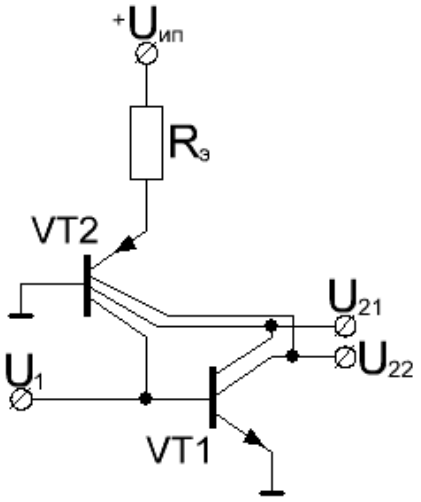


Рис. 6.1

Транзистор-інжектор *VT2* постійно знаходиться в активному режимі і струм у кожному з його *k* колекторів дорівнює:

$$I_u = \frac{\alpha \cdot I_E}{k} = \frac{\alpha}{k} \cdot \frac{U_{ип} - U_{02}}{R_Э} = const\ ,$$

де U_{02} — порогова напруга для емітерного переходу транзистора *VT2*, k — кількість колекторів інжекційного живлення, $\alpha \approx 1$ — коефіцієнт передачі струму в схемі із загальною базою. Вхідна напруга $U_{1.}$ визначає стан емітерного переходу транзистора *VT1*.

Якщо число колекторів *k*, то I_E розподіляється рівномірно по всіх k колекторах.

При $U_1^1 > U_{01}$ (тобто *X*=1) транзистор *VT1* відкритий і на його колекторах $U_{21} = U_{22} = U_{кн} = I_И \cdot r_{кн} = U_2^0$, що відповідає значенню вихідної логічної змінної *Y*=0.

При $U_1^0 \leq U_{01}$ (тобто *X*=0) транзистор *VT1* запертий і на його колекторі $U_2^1 = I_И \cdot R_н$, де $R_н$ — опір навантаження. Найчастіше навантаженням є база наступного $I^2Л$ елементу. Тоді $U_2^1 > U_{он}$. Таким чином:

$$Y_1 = Y_2 = \overline{X}$$

6.1.1. Вхідна характеристика (залежність $I_1 = f_1(U_1)$)

Вхідний струм I²Л-елементу $I_1 = I_Б - I_И$, тому вхідна характеристика цього елемента представляє собою вхідну характеристику біполярного транзистора, зміщену по осі струмів на величину $I_и$ (рис. 6.2).

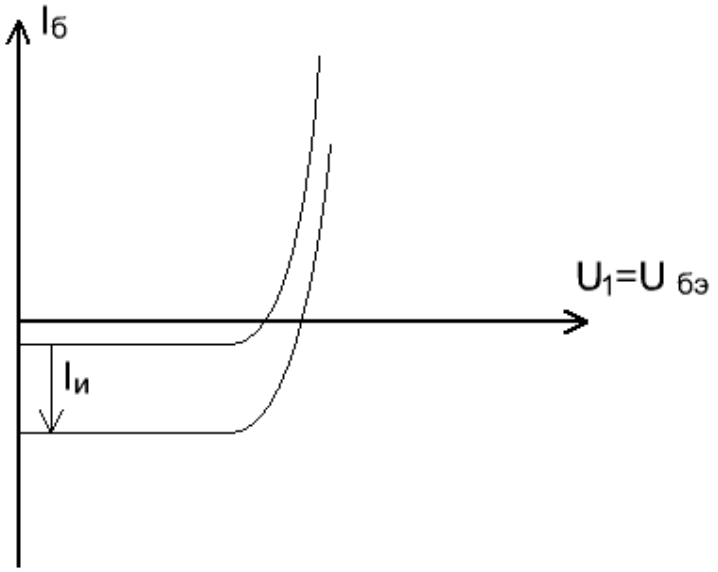


Рис. 6.2

Із характеристик видно, що $I_1^0 \approx -I_И$, $I_1^1 \approx 0$. Логічний перепад напруги $\Delta U_1 = U_1^1 - U_1^0 = U_{Б.И.} - U_{К.Н.} \approx 0{,}6B$ характеризується рівнями напруги на закритому і відкритому емітерному переході транзистора *VT1*. Його температурна залежність визначає зв'язок завадостійкості I²Л-схем з температурою навколишнього середовища. Зі збільшенням температур $U_{Б.И.}$ і ΔU_1 пропорційно зменшується і відповідно знижується стійкість.

6.1.2. Вихідна характеристика

Вихідна характеристика I²Л-елементу (рис. 6.3) в режимі відсічення транзистора *VT1* являє собою зворотний струм колекторного переходу і не залежить від вихідної напруги, а у відкритому стані — це лінія насичення колекторних характеристик. Струм інжектора I_I, що протікає через насичений транзистор з опором $r_{К.Н.}$, визначає вихідний рівень логічного нуля. $U_2^0 \approx I_I r_{К.Н.} = U_{К.Н.}$, а високий рівень на виході U_2^1 формується при протіканні струму I_I через навантаження елементу, тобто через вхідний ланцюг наступного елементу. Таким чином, низькому рівню $U_1^0 = 0.05\,\text{В}$ на вході I²Л-елементу відповідає високий рівень $U_2^1 = 0.65\,\text{В}$ на його виході, і навпаки, високому рівню на вході $U_1^1 = 0.65\,\text{В}$ відповідає рівень $U_2^0 = 0.05\,\text{В}$.

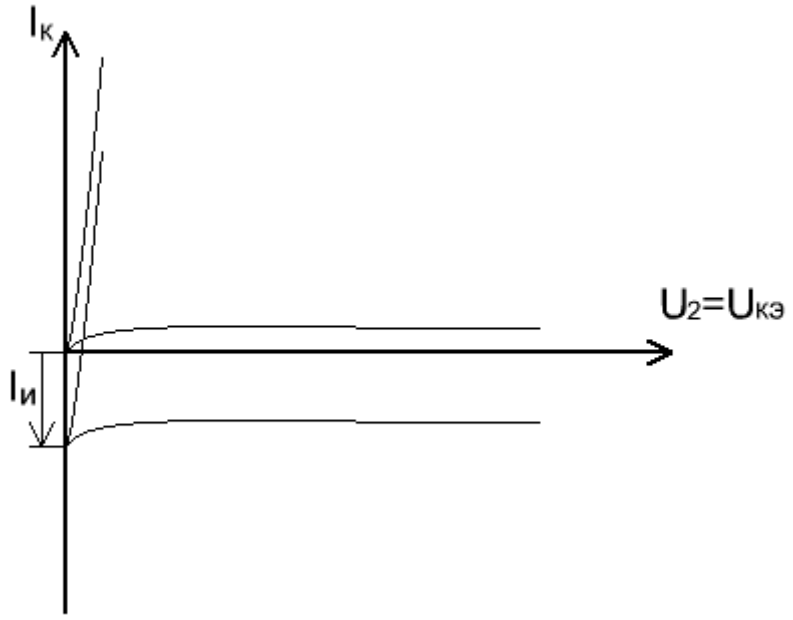


Рис. 6.3

На характеристиці можна побудувати навантажувальну лінію, яка є вхідною характеристикою для інших елементів.

6.2. Реалізація логічних функцій АБО, АБО-НЕ, І, І-НЕ

Логічні функції в $I^2Л$-технології реалізуються за допомогою монтажного об'єднання колекторів n-p-n транзисторів-інверторів.

На рис. 6.4 наведена схема з двома входами та двома виходами:

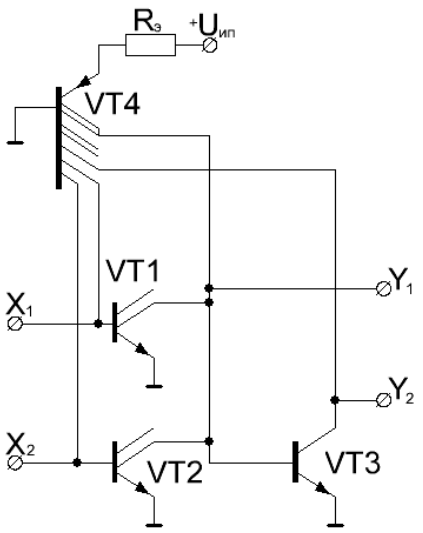


Рис.6.4

Робота такої схеми характеризується таблицею станів виходів:

X_1	X_2	Y_1	Y_2
0	**0**	**1**	**0**
0	**1**	**0**	**1**
1	**0**	**0**	**1**
1	**1**	**0**	**1**

Як видно з наведеної таблиці, на відповідних виходах реалізується функція АБО-НЕ, АБО:

$$Y_1 = \overline{X_1 + X_2}\,,\ Y_2 = \overline{Y_1} = X_1 + X_2$$

Для реалізації базових логічних І, І-НЕ необхідно скористатися додатковими інверторами для вхідних сигналів (рис. 6.5). Як видно зі схеми:

$$Y_3 = \overline{X' + X''} = \overline{\overline{X_1} + \overline{X_2}} = X_1 \cdot X_2\,,\ Y_4 = \overline{Y_3} = \overline{X_1 X_2}$$

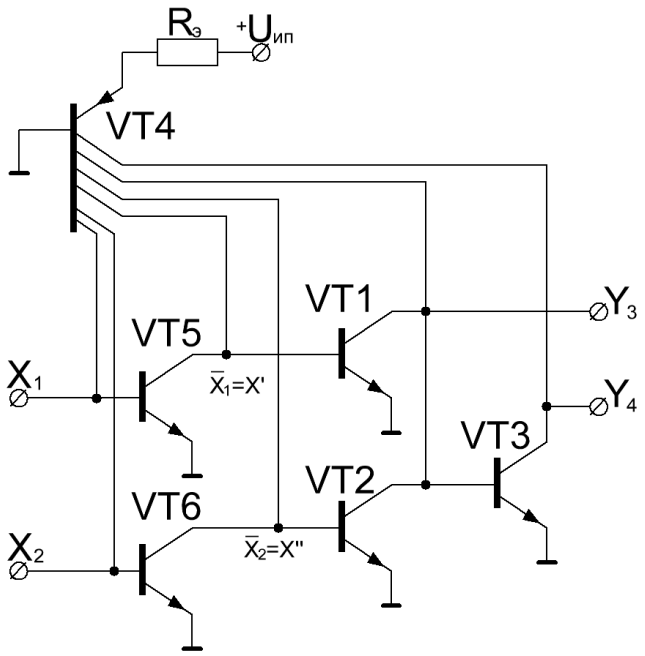


Рис. 6.5

Додаткові транзистори в тракті передачі логічного сигналу збільшують його затримку, тому логічні елементи І, І-НЕ в $I^2Л$-технології більш інерційні, ніж логічні елементи АБО, АБО-НЕ і при розробці швидкодіючих схем бажано обходитися без них.

На рис. 6.6 представлений приклад реалізації наступної функції:

$$Y = \overline{\overline{\overline{X_1}\,\overline{X_2} + \overline{X_1}X_2}} = X_1 \oplus X_2 = \overline{\overline{X_1 + X_2} + \overline{X_1 + X_2}} = (X_1 + X_2)(\overline{X_1} + \overline{X_2})$$

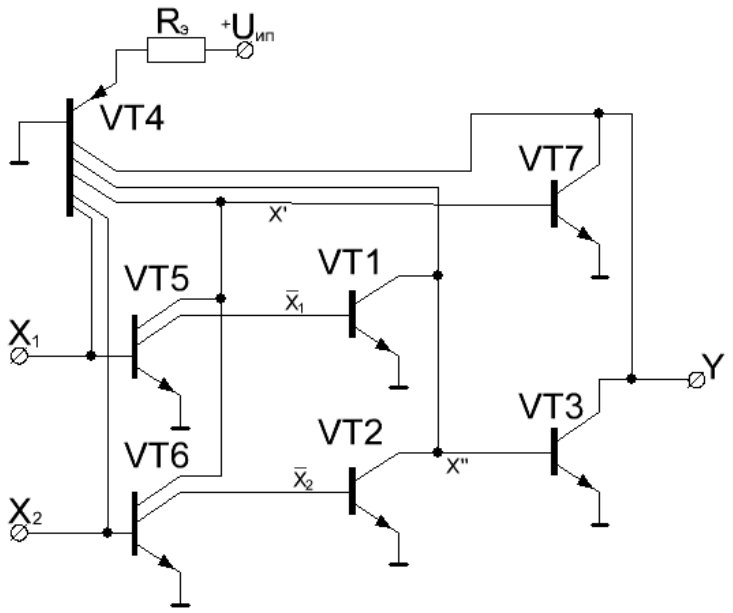


Рис.6.6

$$X' = \overline{X_1 + X_2}\,,\ X'' = \overline{\overline{X_1} + \overline{X_2}}\,,\ Y = \overline{X' + X''}\,,\ Y = X_1 \oplus X_2$$

Для реалізації довільної функції в $I^2Л$-технології необхідно:

- привести реалізовану функцію до мінімальної КНФ;
- за допомогою подвійного заперечення і застосування теореми де Моргана виразити функцію за допомогою операцій АБО-НЕ
- реалізувати функції АБО-НЕ шляхом об'єднання колекторів транзисторів, що перемикаються за допомогою двоступеневої логічної структури;
- визначити кількість вузлів інжекційного живлення і побудувати відповідний генератор інжекційних струмів.

Розглянемо приклад, який ілюструє послідовність операцій синтезу логічної комбінаційної схеми для $I^2Л$-технології.

Нехай задана функція $Y(X_3, X_2, X_1, X_0)$ у вигляді мінтермів СДНФ: Y=(0,2,5,6,7,8,13,14,15).

Знаходимо МКНФ:

X_3X_2 \ X_1X_0	00	01	11	10	
00	1	0	0	1	$=(X_2+\overline{X_0})(\overline{X_2}+X_1+X_0)(\overline{X_3}+X_2+\overline{X_1})$
01	0	1	1	1	

11	0	1	1	1	
10	1	0	0	0	

Переведемо функцію до базису АБО-НЕ:

$$Y = \overline{\overline{(X_2 + \overline{X_0})(\overline{X}_2 + X_1 + X_0)(\overline{X_3} + X_2 + \overline{X_1})}} = \overline{\overline{X_2 + \overline{X_0}} + \overline{\overline{X}_2 + X_1 + X_0} + \overline{\overline{X_3} + X_2 + \overline{X_1}}} =$$
$$= \overline{X' + X'' + X'''}$$

Проміжні змінні X ', X' ', X''' реалізуються базовими елементами АБО-НЕ першого ступеня, а виходи першого ступеня є аргументами (входами) другого ступеня. На рис. 6.7 приведена синтезована схема:

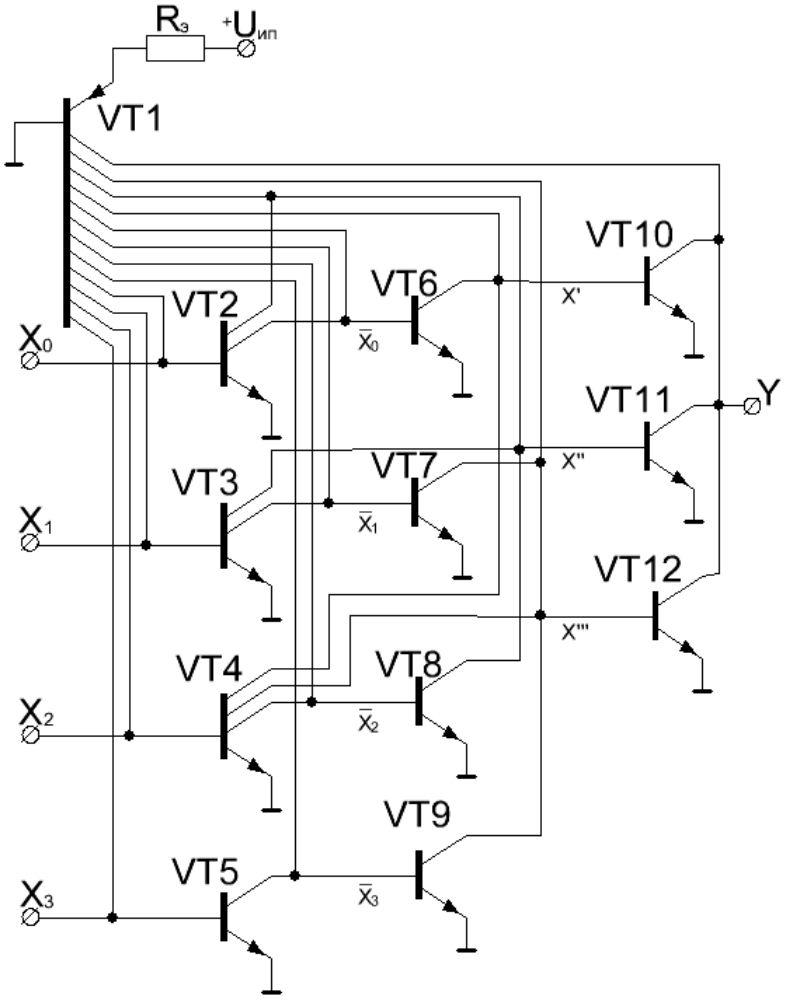


Рис.6.7

Перевірка правильності побудови схеми:

- всі бази транзисторів повинні мати інжекційне живлення;
- між будь-яким входом і виходом сигнал повинен проходити не більше, ніж через 3 транзистори.

7. Перетворювачі кодів (ПК)

Перетворювачі кодів призначені для переведення кодів однієї форми подання в іншу. Наприклад, при введенні інформації в ЕОМ необхідно порозрядно перетворювати десяткові числа в двійкові, а при виведенні інформації на індикатори або друкуючі пристрої необхідно двійкові або двійковій-десяткові коди перетворити в коди управління знакогенераторів, світлодіодними або рідкокристалічними індикаторними панелями, механізмом друку.

7.1. Синтез перетворювача кодів

Нехай необхідно побудувати перетворювач двійкового коду в 3-розрядний код Грея. Запишемо таблицю відповідності:

Входи **Виходи**

2^2	2^1	2^0	**Код Грея**		
X_2	X_1	X_0	Y_2	Y_1	Y_0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

Кожна з функцій визначена на певній кількості вхідних змінних. Для знаходження і мінімізації даних функцій Y_i скористаємося картами Карно, записавши в клітини карти значення Y для кожного з наборів:

Y_0 =

X_2 \ X_1X_0	00	01	11	10
0	**0**	**1**	**0**	**1**
1	**0**	**1**	**0**	**1**

$$Y_0 = \overline{X_1}X_0 + X_1\overline{X_0} = (X_1 + X_0)(\overline{X_1} + \overline{X_0}) = X_1 \oplus X_0 = \overline{\overline{\overline{X_1}X_0} \cdot \overline{X_1\overline{X_0}}} = \overline{\overline{X_1 + X_0} + \overline{\overline{X_1} + \overline{X_0}}}$$

Y₁ =

X_2 \ X_1X_0	00	01	11	10
0	**0**	**0**	**1**	**1**
1	**1**	**1**	**0**	**0**

$$Y_1 = \overline{X_2}X_1 + X_2\overline{X_1} = X_1 \oplus X_2 = (X_2 + X_1)(\overline{X_2} + \overline{X_1}) = \overline{\overline{\overline{X_2}X_1} \cdot \overline{X_2\overline{X_1}}} = \overline{\overline{X_2 + X_1} + \overline{\overline{X_2} + \overline{X_1}}}$$

Y₂ =

X_2 \ X_1X_0	00	01	11	10
0	**0**	**0**	**0**	**0**
1	**1**	**1**	**1**	**1**

$$Y_2 = X_2$$

Можливі варіанти перетворювача коду Грея в двійковий код показані на рис.7.1-7.3:

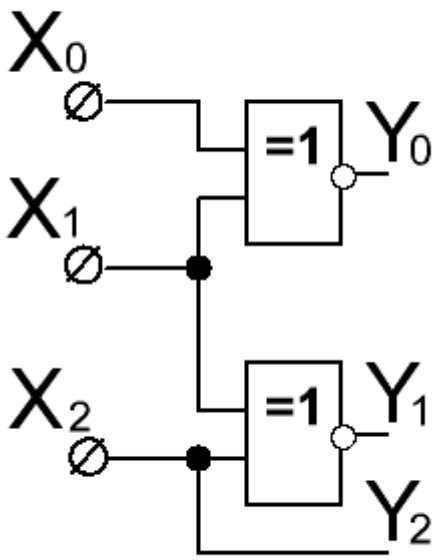


Рис.7.1

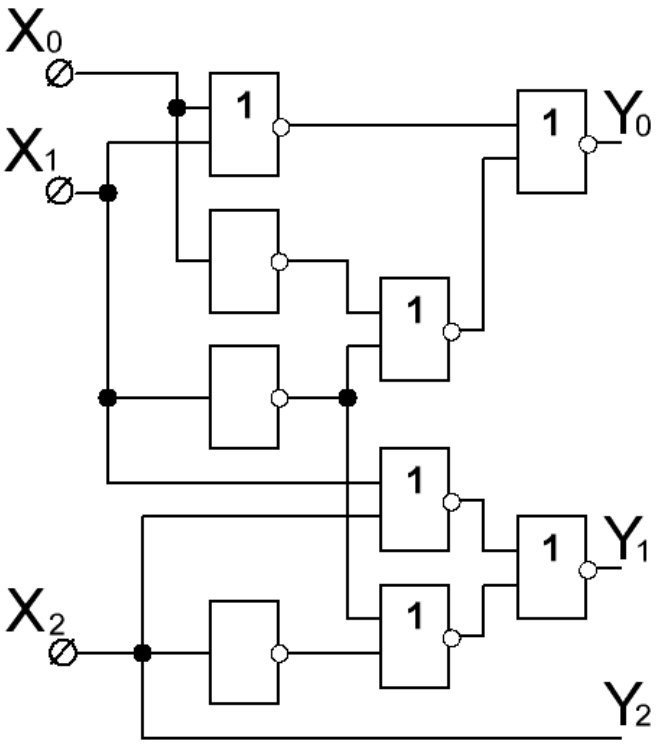


Рис.7.2

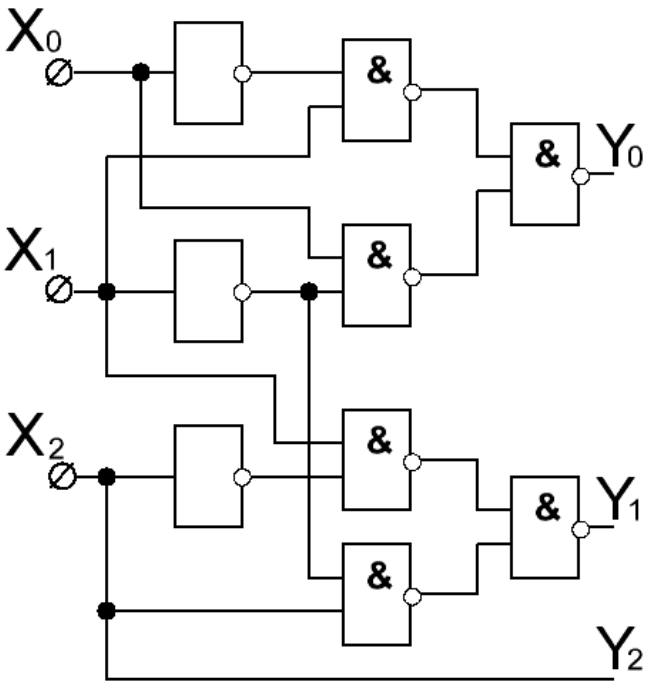
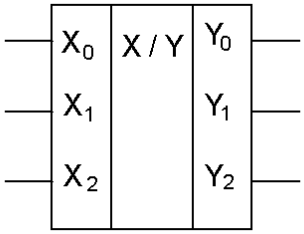


Рис.7.3

Умовно-графічно ПК зображують наступним чином:



Для синтезу ПК *n* -розрядного вхідного коду у *m* -розрядний вихідний код необхідно виконати наступні операції:

- скласти таблицю відповідності вхідних і вихідних кодів;
- для кожного з *m* виходів знаходять МДНФ, МКНФ функції *n* вхідних змінних;
- за допомогою тотожних перетворень МДНФ і МКНФ приводять отримані функції до форми, що є зручною для спільної реалізації в заданій технології;
- спільна реалізація отриманих функцій.

7.2.Шифратори

Окремим випадком перетворювача кодів є шифратор - це пристрій, що забезпечує видачу певного коду у відповідь на збудження **одного** з входів. Тобто шифратор - це ПК, що перетворює унітарний код, або код «1 з N», в необхідний за умовами завдання код. При цьому N визначає кількість входів шифратору.

Шифратори широко застосовуються для перетворення десяткових цифр і буквених символів в двійковий код при введенні інформації в ЕОМ та інші цифрові пристрої. Позначається шифратор у полі типу ІМС символами CD (CoDer).

Розглянемо приклад побудови шифратора для перетворення десяткових чисел в код 8421. Вхідні - це двійкові змінні X_0, ..., X_9, які формуються при натисканні відповідної клавіші пристрою введення. Змінні є незалежними і дозволяють побудувати $2^{10} = 1024$ вхідні комбінації, але якщо накладається обмеження, що забороняє натискання двох і більше клавіш, то з 1024 залишається 10 допустимих вхідних комбінацій. Вхідний код, що відповідає даному обмеження називають унітарним або кодом «1 з N». Шифратор, в якому усі вхідні змінні мають однпїаковий приїіорітет, називають **непріоритетним**. У нашому випадку таких змінних N = 10.

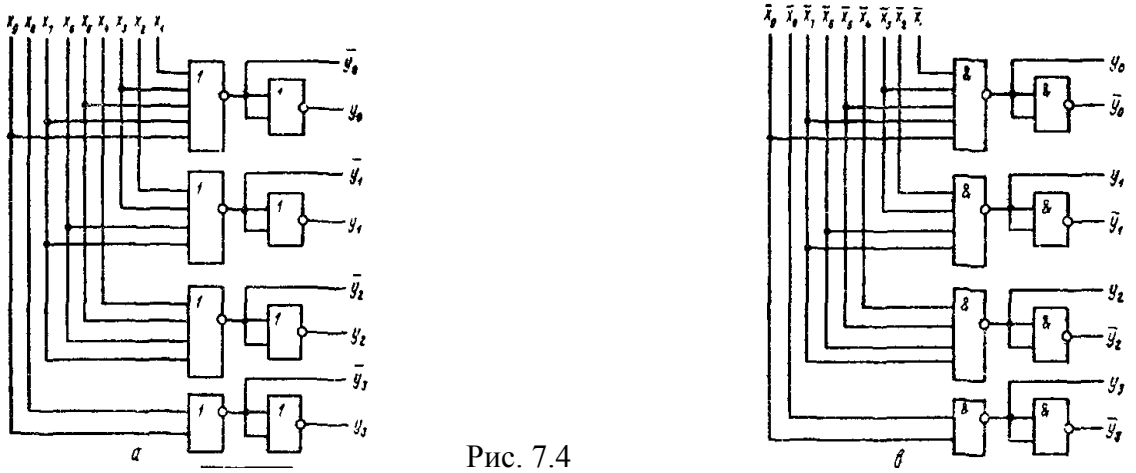


Рис. 7.4

X_9	X_8	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0							1		0	0	0	1	0
0						1			0	0	0	1	1
0					1				0	0	1	0	0
0				1					0	0	1	0	1
0			1						0	0	1	1	0
0		1							0	0	1	1	1
0	1								0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

Безпосередньо із таблиці можна записати вихідні функції:

$$Y_0 = \overline{\overline{X_1 + X_3 + X_5 + X_7 + X_9}} = \overline{\overline{X_1} \cdot \overline{X_3} \cdot \overline{X_5} \cdot \overline{X_7} \cdot \overline{X_9}}$$

$$Y_1 = \overline{\overline{Y_2 + Y_3 + Y_6 + Y_7}} = \overline{\overline{X_2} \cdot \overline{X_3} \cdot \overline{X_6} \cdot \overline{X_7}}$$

$$Y_2 = \overline{\overline{X_1 + X_5 + X_6 + X_7}} = \overline{\overline{X_1} \cdot \overline{X_5} \cdot \overline{X_6} \cdot \overline{X_7}}$$

$$Y_3 = X_8 + X_9 = \overline{\overline{X_8} \cdot \overline{X_9}}$$

На рис.7.4 наведені реалізації шифратора на ЛЕ АБО-НЕ(а) та І-НЕ(б), і відповідно умовно-графічні зображення:

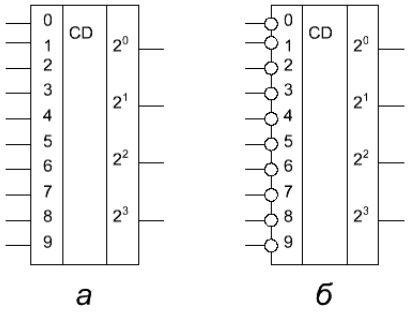


Рис. 7.5

Часто обмеження на кількість клавіш, що натискається одночасно, виявляється неприйнятним і потрібно побудувати шифратор так, щоб при одночасному натисканні декількох клавіш він реагував тільки на найстарший (або молодший) із них. Перетворювачі коду даного виду називають **пріоритетними** шифраторами. Вони реалізують перетворення коду «*k з N*» в необхідний код

Розглянемо приклад побудови пріоритетного шифратору «*k з 10*» в код «8421». У таблиці відповідності для пріоритетного шифратору, в якому вхідна змінна з максимальним номером має максимальний пріоритет, значення вхідних змінних праворуч від діагоналі з 1 не повинні визначати вихідний код:

X_9	X_8	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	*	0	0	0	1
0	0	0	0	0	0	0	1	*	*	0	0	1	0
0	0	0	0	0	0	1	*	*	*	0	0	1	1
0	0	0	0	0	1	*	*	*	*	0	1	0	0
0	0	0	0	1	*	*	*	*	*	0	1	0	1
0	0	0	1	*	*	*	*	*	*	0	1	1	0
0	0	1	*	*	*	*	*	*	*	0	1	1	1
0	1	*	*	*	*	*	*	*	*	1	0	0	0
1	*	*	*	*	*	*	*	*	*	1	0	0	1

Пріоритетний шифратор можна побудувати на основі непріоритетного шифратора, що перетворює код «1 з 10» в код «8421», якщо попередньо перетворити вхідний код «k з 10» в код «1 з 10».

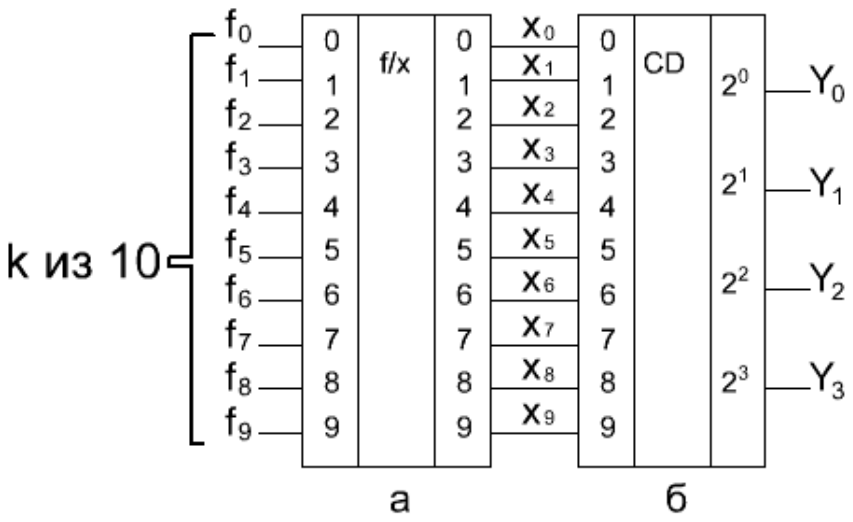


Рис. 7.6

Позначимо вихідні змінні перетворювача «k з 10» в «1 з 10» через X_9, ..., X_0. Вхідна змінна f_9 має максимальний пріоритет, тому не залежить від інших вхідних змінних: $X_9 = f_9$. Будь-яка інша вихідна змінна X_i приймає значення одиниці, якщо $f_i = 1$ за умови, що ні на один з «старших» входів f_j, $j = \overline{i+1,9}$

не подається логічна одиниця, тобто:

$$X_9 = f_9$$

$$X_8 = f_8 \cdot \overline{f_9}$$

$$X_7 = f_7 \cdot \overline{f_8} \cdot \overline{f_9} = f_7 \cdot \overline{f_8 + f_9}$$

$$X_6 = f_6 \cdot \overline{f_7} \cdot \overline{f_8} \cdot \overline{f_9} = f_6 \cdot \overline{f_7 + f_8 + f_9}$$

Аналогічно:

$$X_1 = f_1 \cdot \overline{f_2} \cdot \overline{f_3} \cdot \overline{f_4} \cdot \overline{f_5} \cdot \overline{f_6} \cdot \overline{f_7} \cdot \overline{f_8} \cdot \overline{f_9} = f_1 \cdot \overline{f_2 + \ldots + f_9}$$

$$X_0 = f_0 \cdot \overline{f_1} \cdot \overline{f_2} \cdot \overline{f_3} \cdot \overline{f_4} \cdot \overline{f_5} \cdot \overline{f_6} \cdot \overline{f_7} \cdot \overline{f_8} \cdot \overline{f_9} = f_0 \cdot \overline{f_1 + f_2 + \ldots + f_9}$$

Схема на рис.7.7 реалізує дане перетворення. Її перевагою є рівномірна затримка поширення сигналів за усіма виходами, а недоліком - необхідність застосування багатовхідних схем І-НЕ.

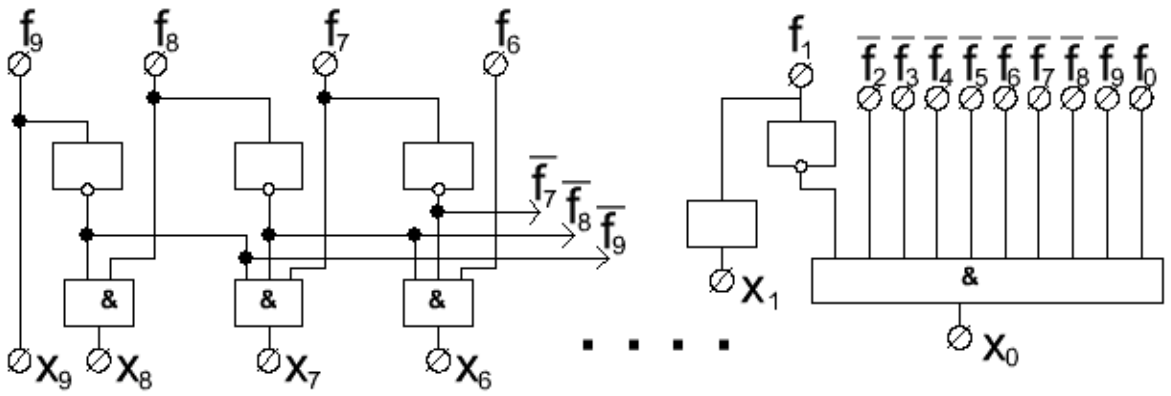


Рис. 7.7

Якщо не висуваються жорсткі вимоги за швидкодією, наприклад, для клавіатурного введення, перетворювач коду «k з 10» в «1 з 10» може бути виконаний з меншими витратами обладнання (рис.7.8).

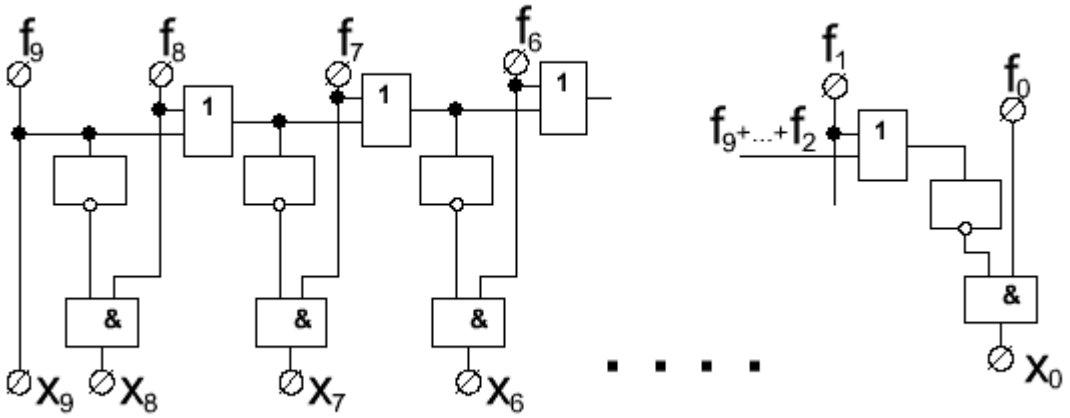


Рис. 7.8

У такій схемі сигнал пріоритетної заборони поширюється від старшого входу до молодшого через послідовно з'єднані елементи АБО, тому в цілому тривалість перетворення в код «1 з 10» визначається часом установки виходу X_0, запізнювання на якому є максимальним.

7.3. Дешифратори

Перетворення будь-якого вхідного коду у код «1 з N» виконують перетворювачі коду, що називаються **дешифраторами.** Найбільш широко дешифратори використовуються в

адресних системах запам'ятовуючих пристроїв, в пристроях виведення інформації з ЕОМ та інших цифрових пристроях на зовнішні пристрої візуалізації і документування алфавітно-цифрової інформації. Для цього потрібно подати сигнал «1 з N», наприклад, катодів газорозрядного індикатору, елементів вибірки символів друкувального пристрою і так далі.

7.3.1. Лінійні дешифратори

Синтез структури дешифратора, як і будь-якого іншого перетворювача кодів, починається із запису таблиці відповідності вхідних і вихідних кодів.

Розглянемо приклад перетворення (дешифрацію) двійкового коду «8421» в унітарний код «1 з 10».

«8421»				**«1 із 10»**	
X_3	X_2	X_1	X_0	Y	Мінімізація
0	**0**	**0**	**0**	$Y_0 = \overline{X_3} \cdot \overline{X_2} \cdot \overline{X_1} \cdot \overline{X_0}$	$= \overline{X_3}\,\overline{X_2}\,\overline{X_1}\,\overline{X_0}$
0	**0**	**0**	**1**	$Y_1 = \overline{X_3} \cdot \overline{X_2} \cdot \overline{X_1} \cdot X_0$	$= \overline{X_3}\,\overline{X_2}\,\overline{X_1}X_0$
0	**0**	**1**	**0**	$Y_2 = \overline{X_3} \cdot \overline{X_2} \cdot X_1 \cdot \overline{X_0}$	$= \overline{X_2}X_1\overline{X_0}$
0	**0**	**1**	**1**	$Y_3 = \overline{X_3} \cdot \overline{X_2} \cdot X_1 \cdot X_0$	$= \overline{X_2}X_1X_0$
0	**1**	**0**	**0**	$Y_4 = \overline{X_3} \cdot X_2 \cdot \overline{X_1} \cdot \overline{X_0}$	$= X_2\overline{X_1}\,\overline{X_0}$
0	**1**	**0**	**1**	$Y_5 = \overline{X_3} \cdot X_2 \cdot \overline{X_1} \cdot X_0$	$= X_2\overline{X_1}X_0$
0	**1**	**1**	**0**	$Y_6 = \overline{X_3} \cdot X_2 \cdot X_1 \cdot \overline{X_0}$	$= X_2X_1\overline{X_0}$
0	**1**	**1**	**1**	$Y_7 = \overline{X_3} \cdot X_2 \cdot X_1 \cdot X_0$	$= X_2X_1X_0$
1	**0**	**0**	**0**	$Y_8 = X_3 \cdot \overline{X_2} \cdot \overline{X_1} \cdot \overline{X_0}$	$= X_3\overline{X_1}$
1	**0**	**0**	**1**	$Y_9 = X_3 \cdot \overline{X_2} \cdot \overline{X_1} \cdot X_0$	$= X_3X_0$

N

m

Для кожної вихідної функції потрібно скласти карту Карно і за її допомогою отримати її мінімізований вираз.

X_3X_2 \ X_1X_0	**00**	**01**	**11**	**10**
00	Y_0	Y_1	Y_3	Y_2
01	Y_4	Y_5	Y_7	Y_6
11	*	*	*	*
10	Y_8	Y_9	*	*

Якщо число входів **m** та число виходів **N** дешифратора пов'язані співвідношенням:

$$2^m = N \text{ ,}$$

то виходи визначені для всіх двійкових наборів і дешифратор називається **повним.** При $2^m > N$ дешифратор називається **неповним**. Невикористані комбінації (зірочки на карті Карно) дозволяють мінімізувати функції виходів.

Графічне позначення такого дешифратора показана на рис.7.9-а, а його умовно-графічне позначення на рис.7.9-*б*.

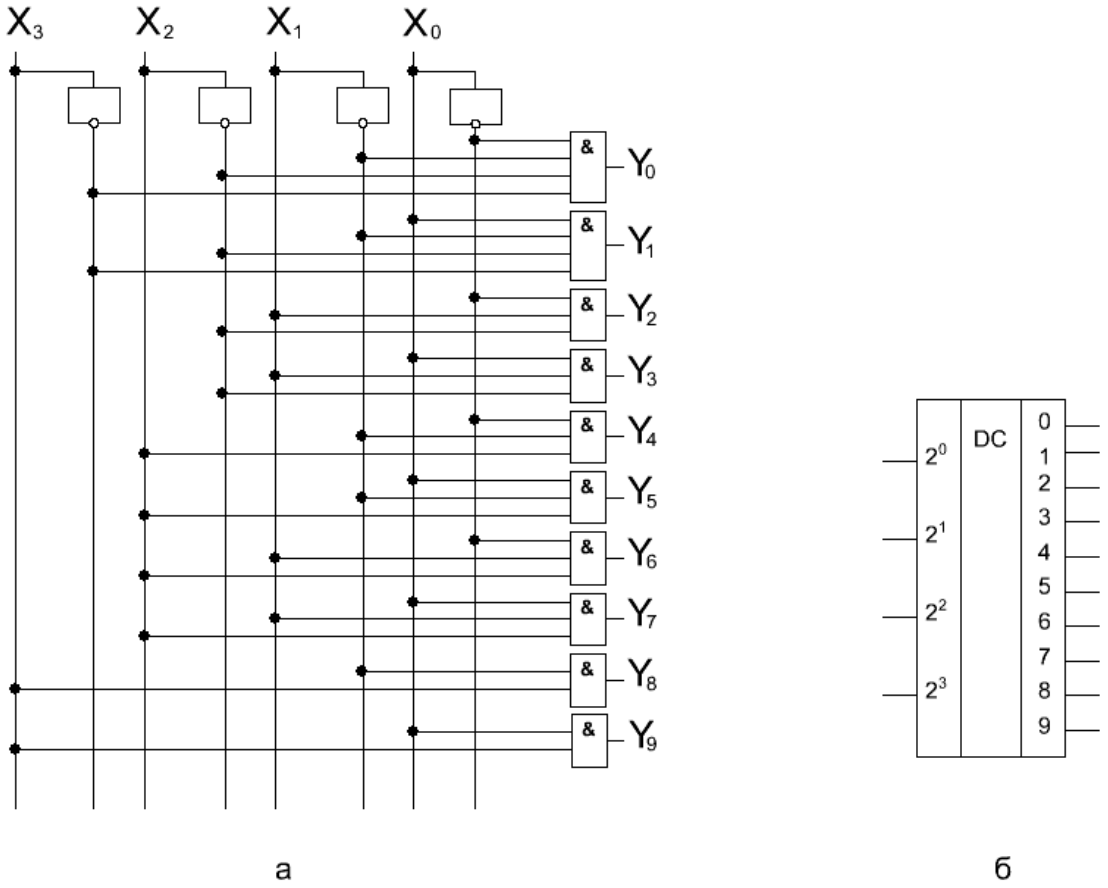


Рис. 7.9

Розглянутий тип дешифраторів називається лінійним. Для них характерно одноступеневе дешифрування вхідних *m*-розрядних кодів за допомогою *m*-входових логічних елементів. Лінійні дешифратори забезпечують перетворення коду з мінімальною затримкою і використовуються в найбільш швидкодіючих цифрових схемах. Однак, зі зростанням розрядності вхідного коду *m* швидко наростає навантаження кожного з входів і кількість корпусів ІМС для реалізації дешифратора. Лінійна структура зазвичай використовують при $m \le 4$.

7.3.2. Пірамідальні дешифратори

Якщо число входів $m > 4$, то з метою зменшення кількості корпусів ІМС дешифратори виконуються за багатоступеневою схемою. Перший ступінь пірамідального дешифратора - найпростіший лінійний дешифратор з числом виходів $n_1 = 4$ (рис.7.10). Кожна наступна ступінь, керована додатковою вхідною змінною, дозволяє подвоїти кількість виходів і отримати $n_2 = 8, n_3 = 16$ і т.д., тобто *k*-ступінчастий повний пірамідальний дешифратор має число виходів $N = 2^{K+1}$, причому $k = m - 1$.

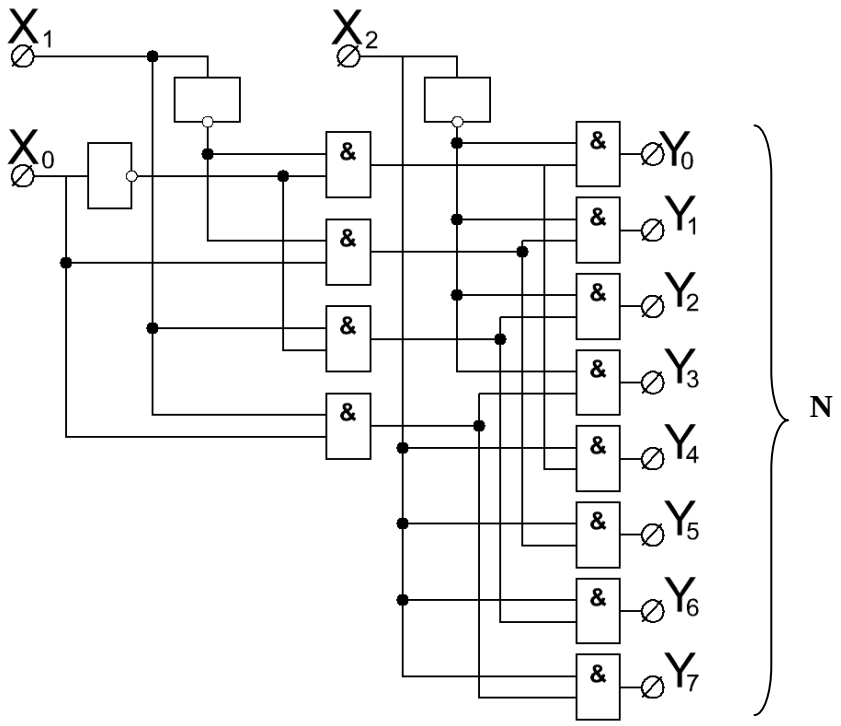


Рис. 7.10

Перевагою є регулярна структура, однотипні двохвходові елементи.

Недоліком таких дешифраторів є затримка, пропорційна кількості розрядів, нерівномірне навантаження входів, яка зростає з ростом кількості ступеней.

7.3.3. Матричні дешифратори

Якщо число входів $m \geq 5$, дешифратори доцільно будувати за матричною структурою. При парному *m* кількість рядків і стовпців матриці дорівнює $2^{m/2}$ і матриця вихідних

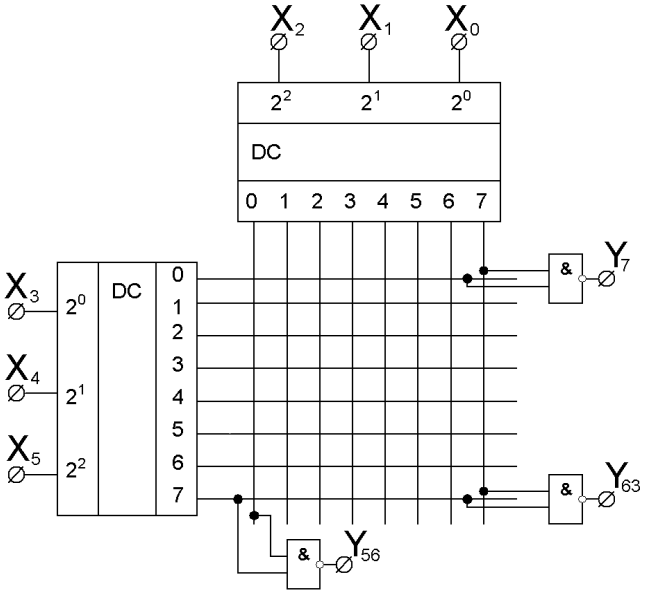


Рис. 7.11

вентилів виходить квадратною. При непарному *m* вхідні змінні поділяють на $\frac{m-1}{2}$ і $\frac{m+1}{2}$. В обох випадках для вибору рядків і стовпців (рис.7.11), в вузлах яких підключаються двухвходові вентилі, а в якості дешифраторів рядків і стовпців використовуються лінійні або пірамідальні дешифратори. Такого типу дешифратори називаються **прямокутними або матричними.**

Їх перевагою є те, що вони забезпечують відносно невелику затримку, як і у лінійних дешифраторів, та регулчїярна структура.

7.4. Мультиплексори

У цифрових пристроях часто виникає необхідність передати цифрову інформацію від *m* різних пристроїв до *n* приймачів через канал загального користування. Для цього на вході каналу встановлюють пристрій, що називається мультиплексором, який згідно з коду адресу A_m підключає до каналу одно з *m* джерел інформації. Порядок підключення входів x_i до єдиного виходу задається таблицею, яка для випадку $m = 4$ має вигляд:

A_1	A_0	***Y***
0	**0**	X_0
0	**1**	X_1
1	**0**	X_2
1	**1**	X_3

Адресні входи $A_1 A_0$ показують, який із входів X_0, X_1, X_2, X_3 потрібно підключити до виходу *Y*.

Входам X_0, X_1, X_2, X_3 присвоюємо адреси і тим самим задаємо умову роботи комутатора. Тоді для прийнятої адресації вихідна функція прикладу, що розглядається, виглядає наступним чином:

$$Y = \overline{A_1} \cdot \overline{A_0} \cdot X_0 + \overline{A_1} \cdot A_0 \cdot X_1 + A_1 \cdot \overline{A_0} \cdot X_2 + A_1 \cdot A_0 \cdot X_3 =$$

$$= \overline{\overline{\overline{A_1} \cdot \overline{A_0} \cdot X_0} \cdot \overline{\overline{A_1} \cdot A_0 \cdot X_1} \cdot \overline{A_1 \cdot \overline{A_0} \cdot X_2} \cdot \overline{A_1 \cdot A_0 \cdot X_3}}$$

Маємо МДНФ, яка не вимагає мінімізації. Ми її можемо представити в базисі І-НЕ або АБО-НЕ. Реалізація на елементах І-НЕ наведена на рис.7.12.

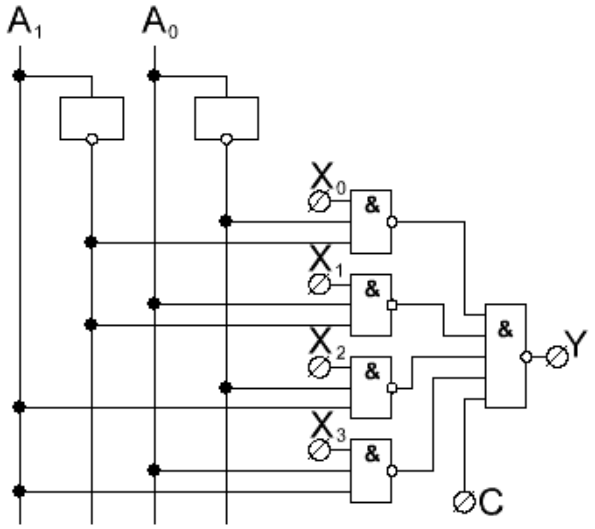


Рис. 7.12

Тут: X_0, …, X_3 — інформаційні виходи, A_0, A_1 — адрес, ім’я входу, що може бути підключеним, С - стробуючий вхід (необов'язковий).

Стробуючий вхід необхідний для відключення виходу мультиплексора на момент зміни адресу, щоб уникнути підключення до виходу несанкціонованих (випадкових) вхідних сигналів.

При *C* =1: *Y* = *f(A,X)*, а при *C* = 0, *Y* = 1.

На час зміни адреси подаємо С = 0, в цей момент вихід заблокований, так як.не залежить від стану інформаційних входів.

На рис.7.13 наведено умовно-графічне позначення мультиплексора

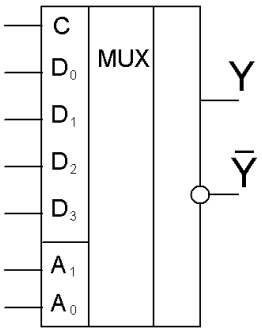


Рис. 7.13

Оскільки вибираємо 1 з N входів, то доцільно використовувати дешифратор. Сигнали дешифратора керують логічними вентилями, дозволяючи передачу інформації тільки через один з них. Тоді схема такого мультиплексора буде мати вигляд (рис.7.14):

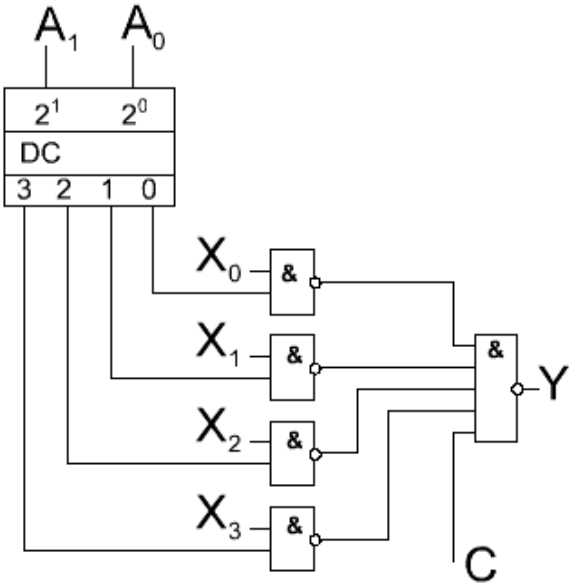


Рис. 7.14

Розглянемо деякі схемотехнічні застосування мультиплексорів. Цілком очевидним є використання мультиплексора в якості перетворювача паралельного *m*-розрядного двійкового коду в послідовний. Для цього достатньо на входи мультиплексора подати паралельний код і потім послідовно змінювати код адреси в необхідній послідовності. При цьому, щоб уникнути появи помилкового сигналу на виході мультиплексора строб-імпульс на час перемикання адреси повинен відключати вихід від входів.

Мультиплексори можуть бути використані для побудови логічних функцій декількох змінних у вигляді диз'юнктивній нормальної форми.

7.5. Демультиплексори

Демультиплексори - комбінаційні пристрої, що реалізують підключення шини даних єдиного входу до одного з N виходів відповідно до коду адреси (тобто «1 з N»). Демультиплексор включає в себе дешифратор адреси.

Логіка функціонування демультиплексора для випадку N = 4 гнаведена нижче у таблиці.

A_1	A_0	***X***
0	**0**	$Y_0 = x \cdot \overline{A_1} \cdot \overline{A_0}$
0	**1**	$Y_1 = x \cdot \overline{A_1} \cdot A_0$
1	**0**	$Y_2 = x \cdot A_1 \cdot \overline{A_0}$
1	**1**	$Y_3 = x \cdot A_1 \cdot A_0$

Умовно-графічне зображення демультиплексору:

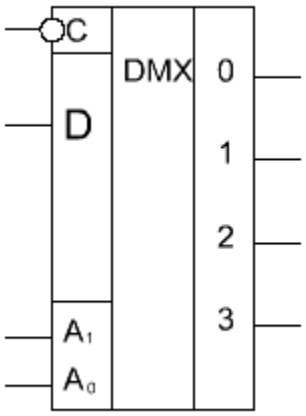


Схема найпростішого демультиплексора, що реалізує задане в таблиці перетворення, наведена на рис.7.15

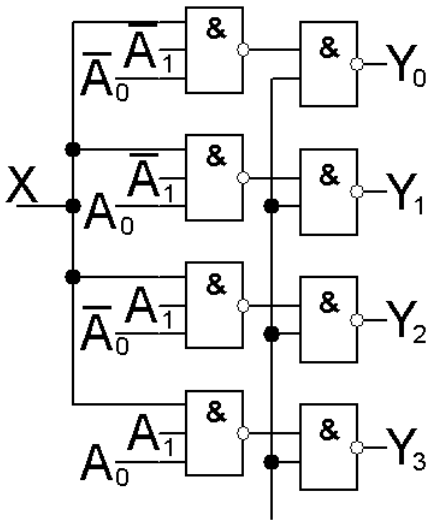


Рис. 7.15

Демультиплексори можна також побудувати і на основі дешифратора. Схема такого демультиплексора показана на рис.7.16.

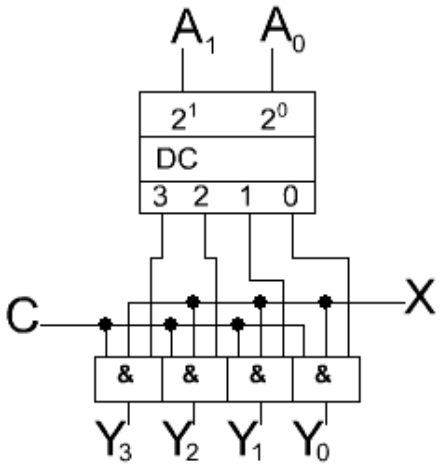


Рис. 7.16

7.6. Реалізація логічних функцій на мультиплексорах

Мультиплексори можуть бути використані для побудови логічних функцій декількох змінних у вигляді диз'юнктивній нормальної форми.

Нехай заданий загальний вигляд функції мультиплексора:

$$Y_M = \overline{A_1} \cdot \overline{A_0} \cdot D_0 + \overline{A_1} \cdot A_0 \cdot D_1 + A_1 \cdot \overline{A_0} \cdot D_2 + A_1 \cdot A_0 \cdot D_3$$

Як приклад візьмемо деяку функцію:

$$Y = X_3 \cdot \overline{X_2} \cdot \overline{X_1} + \overline{X_3} \cdot X_2 \cdot \overline{X_1} + \overline{X_3} \cdot \overline{X_2} \cdot X_1 + X_3 \cdot X_2 \cdot X_1$$

і реалізуємо її на мультиплексорі.

Ми можемо одним входам привласнити інформаційні змінні, а іншим - адресні. Отже, ототожнюємо: $A_1 = X_2$, $A_0 = X_1$, тоді із співставлення мінтермів з виразів для Y_M та Y випливає: $D_0 = X_3$, $D_1 = \overline{X_3}$, $D_2 = \overline{X_3}$, $D_3 = X_3$

Побудуємо на мультиплексорі дану функцію:

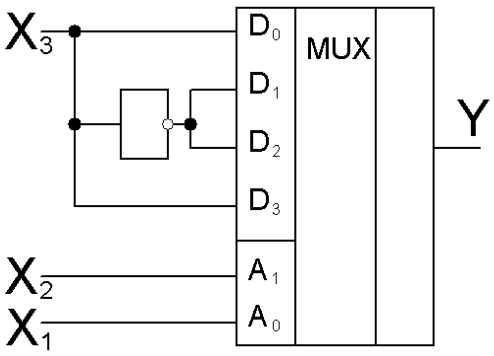


Рис. 7.17

Якщо використовувати мультиплексор на 2 інформаційних входи, то цю функцію можна представити у вигляді:

$$Y = \overline{X_3} \cdot (X_2 \cdot \overline{X_1} + \overline{X_2} \cdot X_1) + X_3 \cdot (\overline{X_2} \cdot \overline{X_1} + X_2 \cdot X_1)$$

Для 2-входового мультиплексору вихідна функція має вигляд:

$$Y_M = \overline{A} \cdot D_0 + A \cdot D_1$$

Якщо привласнити $A = X_3$, то із співставлення Y_M та Y випливає:

$$D_0 = X_2 \cdot \overline{X_1} + \overline{X_2} \cdot X_1 = X_2 \oplus X_1, \; D_1 = \overline{X_2} \cdot \overline{X_1} + X_2 \cdot X_1 = \overline{X_2 \oplus X_1}$$

Реалізація функції Y на 2-входовому мультиплексорі показана на рис.7.18.

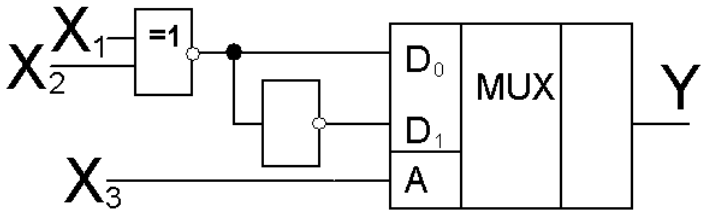


Рис. 7.18

Синтез логічних пристроїв на основі мультиплексора може бути формалізований.

Алгоритм синтезу пристрою для реалізації логічної на основі мультиплексора включає в себе наступні операції:

- Для отриманої СДНФ заповнити для заданої функції карту Карно (або діаграму Вейча).
- На карті Карно необхідно виділити області за кількістю інформаційних входів мультиплексора, який ми використовуємо. Змінні, що зберігають свої значення в межах обраної області, є адресними для мультиплексора, а решта - інформаційні.
- Для кожної області необхідно знайти мінімальну форму щодо інформаційних змінних для управління інформаційними входами мультиплексора.
- За допомогою тотожних перетворень мінімальні форми наводяться до вигляду, зручного для спільної реалізації.
- Реалізація схем по кожному інформаційному входу мультиплексора.

Розглянемо як приклад синтез логічного пристрою, що реалізує функцію Y(X_3, X_2, X_1, X_0)=(1,2,5*,6,10*,11,12,13). В дужках наведені десяткові еквіваленти двійкових чисел $X_3X_2X_1X_0$. Тобто 1_{10}=0001_2, що відповідає мінтерму $\overline{X_3}\,\overline{X_2}\,\overline{X_1}X_0$. Аналогічно $2_{10} \to \overline{X_3}\,\overline{X_2}X_1\overline{X_0}$, $6_{10} \to \overline{X_3}X_2X_1\overline{X_0}$ и так далі. На даних наборах аргументів функція приймає значення 1. Числа із зірочкою означають, що на цих наборах аргументів функція невизначена, тобто на наборах аргументів $\overline{X_3}X_2\overline{X_1}X_0$* та $X_3\overline{X_2}X_1\overline{X_0}$* функції Y можна привласнити будь-яке значення, що спрощує реалізацію.

- Крок 1:

$$Y = \overline{X_3}\,\overline{X_2}\,\overline{X_1}X_0 + \overline{X_3}\,\overline{X_2}X_1\overline{X_0} + \overline{X_3}X_2\overline{X_1}X_0 * + \overline{X_3}X_2X_1\overline{X_0} + X_3\overline{X_2}X_1\overline{X_0} +$$
$$+ X_3\overline{X_2}X_1X_0 + X_3X_2\overline{X_1}\,\overline{X_0} + X_3X_2\overline{X_1}X_0$$

- Крок 2:

Y=

X_3X_2 \ X_1X_0	00	01	11	10
00	0	1	0	1
01	0	*	0	1

D_0 D_1

11	1	1	0	0	D_3
10	0	0	1	*	
	D_2				

- Крок 3:

  Для мультиплексора на 4 інформаційних входи розіб'ємо карту Карно на 4 адресних зони так, що адресними змінними будуть X_3 та X_1. Привласнимо значення $A_1=X_3$, $A_0=X_1$. Тоді номери адресних зон відповідають показаним на карті Карно.

- Крок 4:

  Знайдемо функції управління кожним інформаційним входом мультиплексора:

  $$D_0 = X_0;\ D_1 = \overline{X_0};\ D_2 = X_2;\ D_3 = \overline{X_2}.$$

- Крок 5:

  В даному випадку перетворення не потрібні..

- Крок 6:

  Будуємо схему, що реалізує задану функцію Y(X_3, X_2, X_1, X_0):

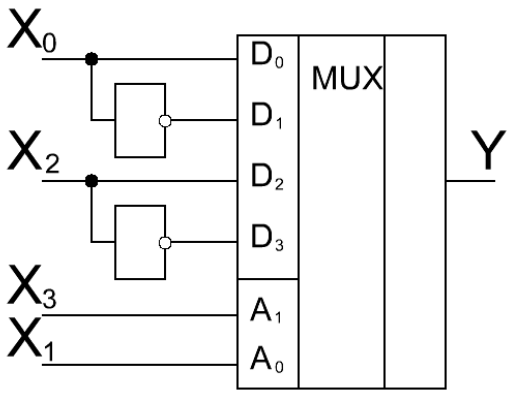


Рис. 7.19

7.7. Комбінаційні пристрої зсуву

Необхідність зсуву цифрових даних виникає при нормалізації чисел, виконанні арифметичних операцій над ними і т.п. Якщо за один робочий такт необхідний зсув всього лише на один розряд вліво або вправо, то таку операцію, поєднавши її з функцією зберігання інформації, зручно виконувати за допомогою регістрів зсуву на тригерах. У разі, коли за один такт необхідно виконати зсув на довільну кількість розрядів в будь-якому напрямку, зручніше скористатися комбінаційним логічним пристроєм на основі мультиплексорів. Кількість необхідних мультиплексорів дорівнює розрядності вихідного двійкового числа.

Вихідною для побудови зсуваючого пристрою є таблиця, що встановлює зв'язок коду адреси мультиплексорів з тим, що підключається до кожного з їх виходів розрядом числа зсуву. Розрядність адресного коду мультиплексора *p* визначає максимально можливий зсув числа за один такт: $\Delta S_{\max} = 2^p - 1$.

Нехай потрібно побудувати комбінаційний пристрій, що регулює зсув згідно з таблицею:

Адрес		**Виходи пристрою зсуву**			
A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	**0**	X_3	X_2	X_1	X_0
0	**1**	X_2	X_1	X_0	X_{-1}
1	**0**	X_1	X_0	X_{-1}	X_{-2}
1	**1**	X_0	X_{-1}	X_{-2}	X_{-3}

Якщо в комбінаційному пристрої зсуву зсув числа проводиться вліво, то при цьому старші розряди губляться. Представимо даний пристрій зсуву у вигляді набору мультиплексорів, кожен з яких формує один розряд вихідного коду:

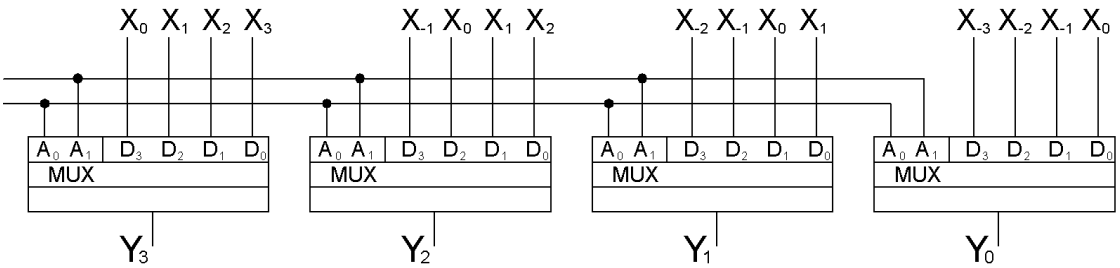


Рис. 7.20

Тут виходами є Y_0, Y_1, Y_2, Y_3; всі адресні входи об’єднуються та управляються паралельно змінними $A_1 = 0$, $A_0 = 0$.

Якщо $A_1 = 0$, $A_0 = 0$, то виходи з’єднуються із входами D_0.

Якщо $A_1 = 0$, $A_0 = 1$ (зсув на один розряд), то на виходах Y_i повинен з’явитися X_i із входів D_1.

Якщо $A_1 = 1$, $A_0 = 0$ (зсув на два розряди), Y_i з’являються сигнали із входів D_2.

А при $A_1 = 1$, $A_0 = 1$ - відповідно, зсув на 3 розряди та виходи Y_i з'єднуються із входами D_3 мультиплексорів.

Чергування розрядів може бути в будь-якому порядку, що є важливою перевагою мультиплексора.

Умовно-графічне зображення такого комбінаційного пристрою зсуву (КПЗ) показано на рис.7.21.

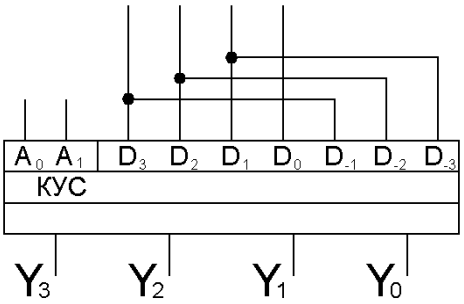


Рис.7.21

Переваги:

- У комбінаційному пристрої зсуву зсув здійснюється на будь-яку кількість розрядів за один такт (все залежить від послідовності, в якій будуть перемикатися адреси).
- Дуже просто вибирається напрямок зсуву
- У процесі зсуву легко можна змінювати код зсуву.

Недолік*:* є достатньо складним пристроєм.

8. Комбінаційні суматори (SM)

Комбінаційні суматори призначені для виконання арифметичних операцій додавання і віднімання над однорозрядними та багаторозрядними числами (операндами). Багаторозрядний суматор складається з однорозрядних, що реалізують додавання однорозрядних чисел.

8.1. Напівсуматори

Однорозрядний суматор, на вхід якого надходять два однорозрядних числа A і B, а на виході формуються також однорозрядні числа суми S і переносу P, називають **напівсуматором**. Тобто напівсуматори - це пристрої, що реалізують арифметичне додавання двох однорозрядних двійкових чисел.

Таблиця істинності для напівсуматора дозволяє записати функцію обчислення суми S і переносу одиниці переповнення P в старший розряд

A	B	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$S = \overline{A}\cdot B + A\cdot \overline{B} = A \oplus B = \overline{\overline{A\cdot B + \overline{A}\cdot \overline{B}}} = \overline{\overline{\overline{A}\cdot \overline{B}}\,\overline{\overline{A\cdot B}}} = \overline{\overline{\overline{A}\cdot \overline{B}} + \overline{A\cdot B}} = \overline{P + \overline{A+B}}$$

$$P = A\cdot B = \overline{\overline{A} + \overline{B}}$$

Реалізація напівсуматора на основі цих тотожних перетворень показані на рис.8.1 і рис.8.2.

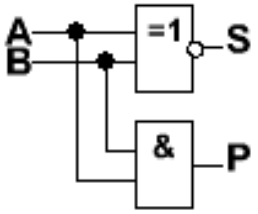


Рис. 8.1.

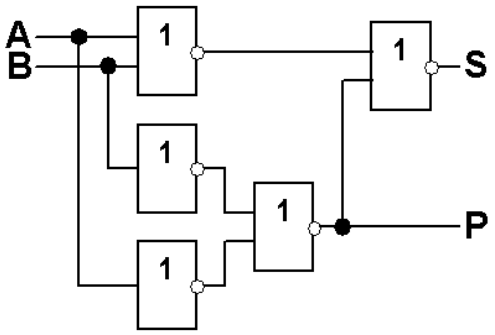


Рис. 8.2.

Умовно-графічний напівсуматор зображується, як показано на рис.8.3:

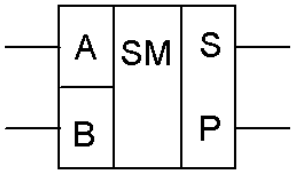


Рис. 8.3

8.2. Повні суматори

Якщо однорозрядний суматор реалізує додавання трьох однорозрядних елементів A, B, C і при цьому формує функцію суми S і функцію переносу P, його називають **повним.**

Робота повного суматора описується наступною таблицею:

A	***B***	***C***	***P***	***S***
0	**0**	**0**	**0**	**0**
0	**1**	**0**	**0**	**1**
1	**0**	**0**	**0**	**1**
1	**1**	**0**	**1**	**0**
0	**0**	**1**	**0**	**1**
0	**1**	**1**	**1**	**0**
1	**0**	**1**	**1**	**0**
1	**1**	**1**	**1**	**1**

Знайдемо МДНФ функцій суми S і переносу P і спільно реалізуємо деякі варіанти. Складемо карту Карно для трьох змінних.

P =

X_2 \ X_1X_0	00	01	11	10
0	**0**	**0**	**1**	**0**
1	**0**	**1**	**1**	**1**

$$P = A \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot C + A \cdot B \cdot C + A \cdot \overline{B} \cdot C = C \cdot (\overline{A} \cdot B + A \cdot \overline{B}) + A \cdot B =$$

$$= C \cdot S' + A \cdot B = \overline{\overline{C \cdot S'} \cdot \overline{A \cdot B}}, \; S' = \overline{A} \cdot B + A \cdot \overline{B}$$

S =

x_2 \ x_1x_0	00	01	11	10
0	**0**	**1**	**0**	**1**
1	**1**	**0**	**1**	**0**

$$S = \overline{A} \cdot B \cdot \overline{C} + A \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C + A \cdot B \cdot C = \overline{\overline{\overline{A} \cdot B \cdot \overline{C}} \cdot \overline{A \cdot \overline{B} \cdot \overline{C}} \cdot \overline{\overline{A} \cdot \overline{B} \cdot C} \cdot \overline{A \cdot B \cdot C}} =$$

$$= \overline{C} \cdot (\overline{A} \cdot B + A \cdot \overline{B}) + C \cdot (\overline{A} \cdot \overline{B} + A \cdot B) = \overline{C} \cdot S' + C \cdot \overline{S'} = C \oplus S' = C \oplus A \oplus B$$

Реалізація такого суматору на елементах І-НЕ показана на рис.8.5:

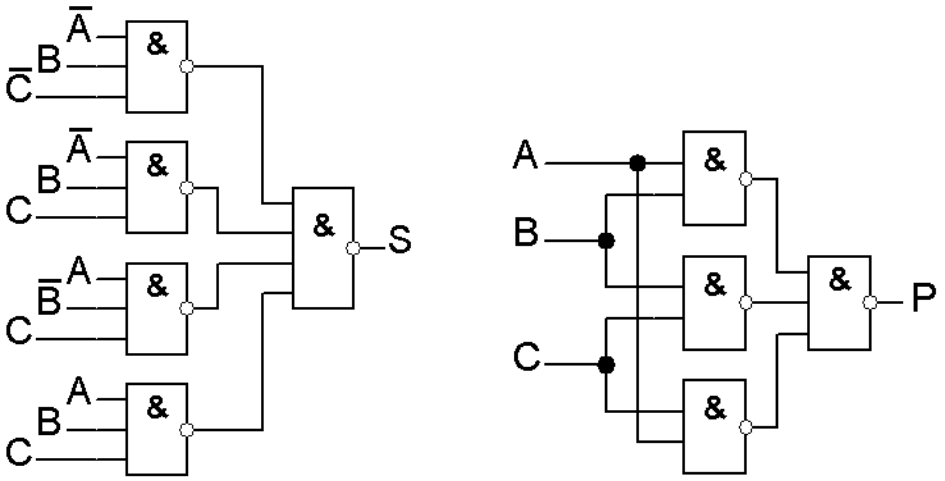


Рис. 8.5.

Умовно-графічне позначення повного суматору показано на рис.8.6:

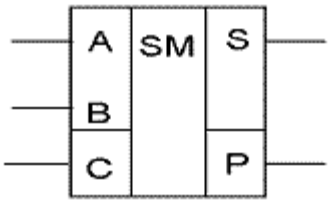


Рис. 8.6.

Схема суматора на елементах ВИКЛЮЧНЕ АБО та І-НЕ представлена на рис.8.7:

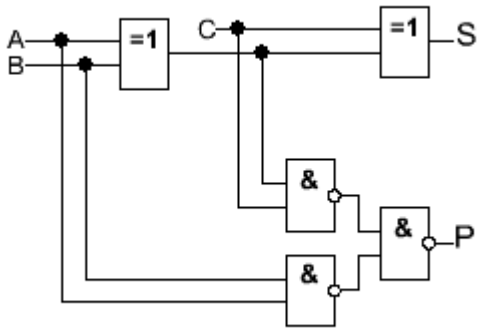


Рис. 8.7.

Перевага схеми з використанням логічних елементів ВИКЛЮЧНЕ АБО та І-НЕ – простота реалізації. А недолік - значна затримка вихідного сигналу у елементах ВИКЛЮЧНЕ АБО.

8.3. Віднімач

Віднімач - це пристрій, що реалізує операцію віднімання двох однорозрядних чисел A_i, B_i з урахуванням зайому одиниці з молодшого розряду V_{i-1} з формуванням сигналів різниці D_i і зайому V_i із старшого розряду. Нехай необхідно від A_i відняти B_i та V_{i-1}, де V_{i-1} - одиниця зайому із молодшого розряду:

$$\begin{array}{r} -A_i \\ -B_i \\ V_{i-1} \\ \hline V_i \;\; D_i \end{array}$$

Тоді можливі значення для функції різниці D_i та функції зайому V_i визначаються наведеною нижче таблицею істинності. Відповідно до таблиці істинності віднімача запишемо вирази для різниці D_i і функції зайому V_i:

A	***B***	V_{i-1}	V_i	D_i
0	**0**	**0**	**0**	**0**
0	**1**	**0**	**1**	**1**
1	**0**	**0**	**0**	**1**
1	**1**	**0**	**0**	**0**
0	**0**	**1**	**1**	**1**

0	**1**	**1**	**1**	**0**
1	**0**	**1**	**0**	**0**
1	**1**	**1**	**1**	**1**

Тоді функція різниці чисел має вигляд:

$D_i =$

V_{i-1} \ $A_i B_i$	00	01	11	10
0	**0**	**1**	**0**	**0**
1	**1**	**1**	**1**	**0**

$$D_i = \overline{A_i} \cdot B_i \cdot \overline{V_{i-1}} + A_i \cdot \overline{B_i} \cdot \overline{V_{i-1}} + \overline{A_i} \cdot \overline{B_i} \cdot V_{i-1} + A_i \cdot B_i \cdot V_{i-1} =$$

$$= \overline{V_{i-1}} \cdot (\overline{A_i} \cdot B_i + A_i \cdot \overline{B_i}) + V_{i-1}(\overline{A_i} \cdot \overline{B_i} + A_i \cdot B_i) =$$

$$= \overline{V_{i-1}} \cdot S' + V_{i-1} \cdot S' = V_{i-1} \oplus S' = V_{i-1} \oplus A_i \oplus B_i$$

Функція зайому V_i:

$V_i =$

V_{i-1} \ A B	00	01	11	10
0	**0**	**1**	**0**	**0**
1	**1**	**1**	**1**	**0**

$$V_i = \overline{A} \cdot B \cdot \overline{V_i} + \overline{A} \cdot \overline{B} \cdot V_i + \overline{A} \cdot B \cdot V_{i-1} + A \cdot B \cdot V_{i-1} =$$

$$= V_{i-1} \cdot (\overline{A} \cdot \overline{B} + A \cdot B) + \overline{A} \cdot B = \overline{\overline{V_i \cdot \overline{S'}} \cdot \overline{\overline{A} \cdot B}}$$

Використовуючи тотожні вирази для D_i та V_i, можна реалізувати однорозрядний повний віднімач в різних елементних базисах.

Схема варіанту такого віднімача на елементах І-НЕ та ВИКЛ. АБО показана на рис.8.8:

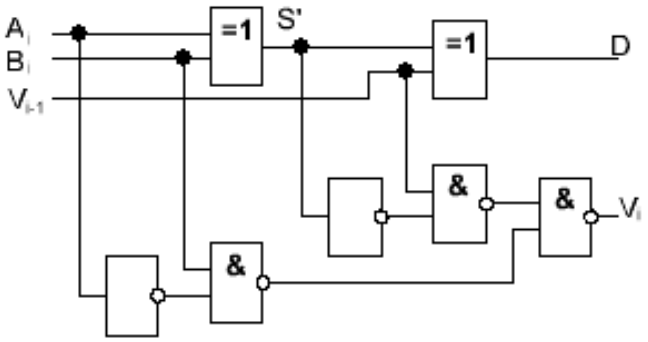


Рис. 8.8.

З порівняння виразів для S_i та D_i видно, що $S_i \equiv D_i$, тобто віднімач можна побудувати на основі повного суматора, замінивши віднімання складанням чисел в зворотному коді:

$$\begin{array}{r} A_i \\ +\overline{B}_i \\ +\overline{V_{i-1}} \\ \hline P_i^* \quad S_i^* \end{array}$$

Для такої операції таблиця істинності має вигляд:

A	$\overline{B}$	$\overline{V_{i-1}}$	P^*	S_i^*
0	**1**	**1**	**1**	**0**
0	**0**	**1**	**0**	**1**
1	**1**	**1**	**1**	**1**
1	**0**	**1**	**1**	**0**
0	**1**	**0**	**0**	**1**
0	**0**	**0**	**0**	**0**
1	**1**	**0**	**1**	**0**
1	**0**	**0**	**0**	**1**

Порівнюючи значення функцій P_i^*, S_i^* с V_i и D_i в таблицях для віднімача та суматора, можна відмітити, що $P_i^* = \overline{V_i}$, $S_i^* = D_i$, тобто на виході суматора перенос P_i^* необхідно проінвертувати.

Такий віднімач на основі суматора показаний на рис.8.9:

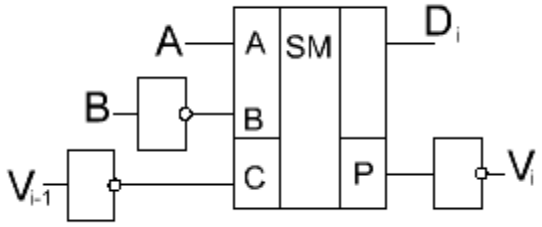


Рис. 8.9.

8.4. Алгебраїчний суматор

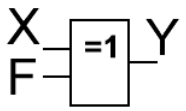
Алгебраїчний суматор може бути використаний для віднімання або додавання за необхідністю. Поєднання операцій додавання і віднімання вимагає додаткового сигналу F, який встановлює режим роботи суматору за допомогою керованого інвертора:

$$Y = \begin{cases} X, F = 0 \\ \overline{X}, F = 1 \end{cases}$$

F — керуючий сигнал.

В якості такого керованого інвертору може бути використаний елемент ВИКЛ.АБО:

$$Y = X\overline{F} + \overline{X}F$$



При F=0 маємо $Y = X$, тобто передачу сигналу без інверсії, а при F=1 вихідний сигнал є інверсією вхідного: $Y = \overline{X}$.

Схема такого алгебраїчного суматора показана на рис.8.10

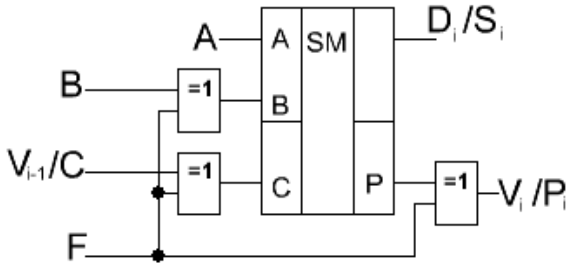


Рис. 8.10

При $F = 0$ виконується операція додавання $A_i + B_i + P_{i-1} = P_i \cdot S_i$, а при $F = 1$ - операція віднімання: $A_i - B_i - V_{i-1} = V_i \cdot D_i$.

8.5. Багаторозрядні суматори

Додавання багаторозрядних чисел можна реалізувати за допомогою багаторозрядного суматору (послідовний суматор або паралельний суматор).

Нехай потрібно скласти два 4-розрядних числа A та B:

$$\begin{array}{r} A_4A_3A_2A_1 \\ +\ B_4B_3B_2B_1 \\ \hline P_4S_4S_3S_2S_1 \end{array}$$

Схема порозрядного додавання з послідовною реалізацією переносу наведена на рис.8.11:

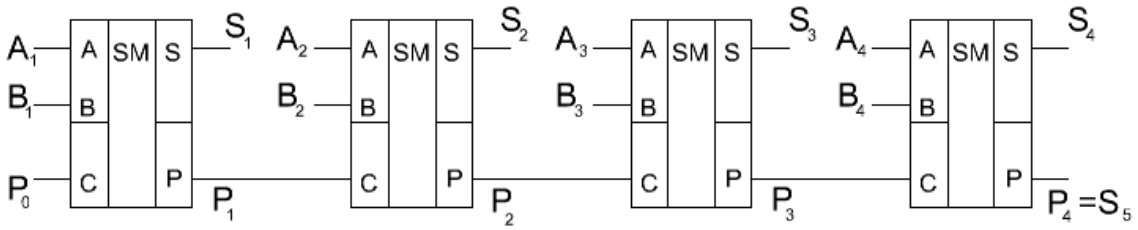


Рис. 8.11

Послідовний суматор вимагає мінімальних витрат обладнання. Однак, тривалість операції додавання пропорційна розрядності операндів внаслідок затримки одиниці переносу, тому послідовний суматор може використовуватися у відносно повільно діючих цифрових пристроях.

Тривалість такту Т послідовного суматора пропорційна кількості розрядів суматора *n* і часу реалізації перенесення в одному розряді $t_{зд.р.п.}$:

$$T = n \cdot t_{зд.р.п.},$$

У паралельному *m*-розрядному суматорі кожен розряд суми S_i визначається як логічна сума 2i+1 аргументів. Тому складність реалізації вихідних функцій швидко зростає з ростом номеру вихідного розряду. І затрати обладнання швидко ростуть із зростанням розрядності операндів. Тривалість такту Т і складність реалізації паралельного суматора залежать від способу реалізації приносив.

Для побудови схеми паралельного переносу введемо позначення для функції прозорості $A_i \oplus B_i = H_i$ та функції генерації переносу $A_i \cdot B_i = G_i$. Використовуючи функції прозорості H_i та функції генерації G_i для будь-якого розряду суматора можна записати:

$$S_i = A_i \oplus B_i \oplus P_{i-1} = H_i \oplus P_{i-1},$$

$$P_i = A_i \cdot B_i + (A_i \oplus B_i) P_{i-1} = G_i + H_i P_{i-1}.$$

Базуючись на даних співвідношеннях можна записати:

$$S_1 = H_1 \oplus P_0, \quad P_1 = G_1 + P_0 H_1$$

$$S_2 = H_2 \oplus P_1, \; P_2 = G_2 + P_1 H_2 = G_2 + G_1 H_2 + P_0 H_1 H_2$$

$$S_3 = H_3 \oplus P_2, \quad P_3 = G_3 + P_2 H_3 = G_3 + G_2 H_3 + G_1 H_2 H_3 + P_0 H_1 H_2 H_3$$

$$S_4 = H_4 \oplus P_3, \quad P_4 = G_4 + P_3 H_4 = G_4 + G_3 H_4 + G_2 H_3 H_4 + G_1 H_2 H_3 H_4 + P_0 H_1 H_2 H_3 H_4.$$

Тобто кожен з виходів багаторозрядного суматора може бути записаний у вигляді ДНФ із функцій прозорості та генерації. У цьому випадку усі вихідні змінні S_1, S_2, S_3, S_4 *і* $P4=S_5$ обчислюються одночасно. Тим самим забезпечується мінімальна затримка формування результату, а значить і найбільша швидкодія.

Схема паралельного переносу тим складніша, чим більше аргументів визначають функцію.

Секція 4-розрядного суматору умовно-графічно показана на рис.8.12.

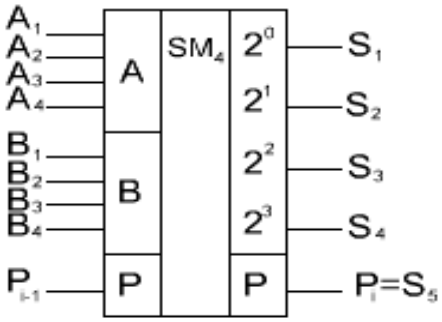


Рис. 8.12

Оскільки складність схеми паралельного переносу швидко зростає зі збільшенням кількості розрядів суматора, багаторозрядні суматори часто розбивають на секції, всередині яких реалізується паралельний перенос. Між секціями перенос може бути реалізований послідовно. Оптимальним вважають поділ багаторозрядного суматора на 4-розрядні секції.

При наявності 4-розрядних секцій багаторозрядні доданки числа A та B розбиваються на тетради:

$$\begin{array}{l} A_{12} \cdot A_{11} \cdot A_{10} \cdot A_9 \cdot A_8 \cdot A_7 \cdot A_6 \cdot A_5 \cdot A_4 \cdot A_3 \cdot A_2 \cdot A_1 \\ + \\ B_{12} \cdot B_{11} \cdot B_{10} \cdot B_9 \cdot B_8 \cdot B_7 \cdot B_6 \cdot B_5 \cdot B_4 \cdot B_3 \cdot B_2 \cdot B_1 \\ \hline S_{12} \cdot S_{11} \cdot S_{10} \cdot S_9 \cdot S_8 \cdot S_7 \cdot S_6 \cdot S_5 \cdot S_4 \cdot S_3 \cdot S_2 \cdot S_1 \end{array}$$

Схема з’єднання секцій суматора з послідовним переносом між секціями показана на рис.8.13:

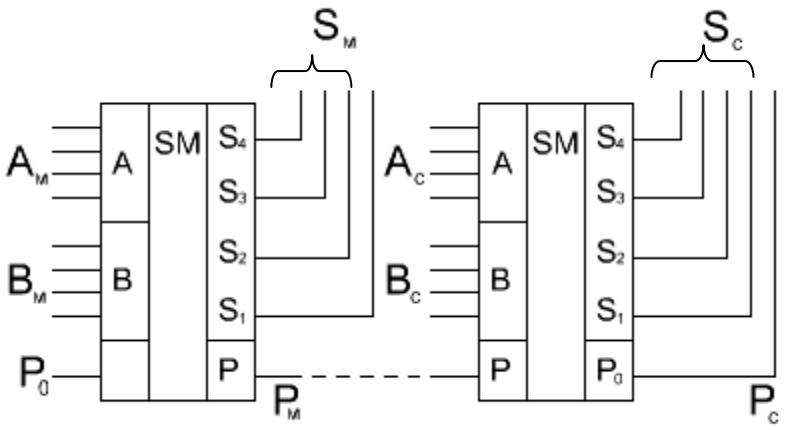


Рис. 8.13

8.6. Двійково-десятковий суматор

У мікрокалькуляторах, пристроях реєстрації та перетворення цифрової інформації, представленої в десятковій системі числення, широко використовуються арифметичні пристрої з двійково-десятковим кодуванням операндів.

Базовим елементом десяткового суматора може бути 4-розрядна секція двійкового суматора, яка повинна реалізувати додавання двох десяткових цифр *k-го* розряду: $A_{K4}A_{K3}A_{K2}A_{K1}$ та $B_{K4}B_{K3}B_{K2}B_{K1}$ з урахуванням переносу P_{k-1} із тетради молодшого (*k-1*)-го десяткового розряду. На виходах *k-ї* секції повинен бути отриманий результат суми $S_{K4}S_{K3}S_{K2}S_{K1}$ та переносу P_k в тетраду (*k+1*)-го десяткового розряду.

В таблиці наведені значення S_i' та P', що одержуються при додаванні двійково-десяткових чисел (тетрад) за допомогою секції двійкового суматора, а також значення S_i, P_i, які, в кінцевому рахунку повинні бути отримані.

Σ		2^4	2^3	2^1	2^0	***Двійково-десятковий***					Σ
	P'	S_4'	S_3'	S_2'	S_1'	P	S_4	S_2	S_3	S_1	
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**
1	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	**0**	**1**	**1**
2	**0**	**0**	**0**	**1**	**0**	**0**	**0**	**0**	**1**	**0**	**2**
3	**0**	**0**	**0**	**1**	**1**	**0**	**0**	**0**	**1**	**1**	**3**
4	**0**	**0**	**1**	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**4**
5	**0**	**0**	**1**	**0**	**1**	**0**	**0**	**1**	**0**	**1**	**5**
6	**0**	**0**	**1**	**1**	**0**	**0**	**0**	**1**	**1**	**0**	**6**
7	**0**	**0**	**1**	**1**	**1**	**0**	**0**	**1**	**1**	**1**	**7**
8	**0**	**1**	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	**8**
9	**0**	**1**	**0**	**0**	**1**	**0**	**1**	**0**	**0**	**1**	**9**
10	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**0**	**0**	**0**	**16**
11	**0**	**1**	**0**	**1**	**1**	**1**	**0**	**0**	**0**	**1**	**17**
12	**0**	**1**	**1**	**0**	**0**	**1**	**0**	**0**	**1**	**0**	**18**

13	**0**	**1**	**1**	**0**	**1**	**1**	**0**	**0**	**1**	**1**	**19**
14	**0**	**1**	**1**	**1**	**0**	**1**	**0**	**1**	**0**	**0**	**20**
15	**0**	**1**	**1**	**1**	**1**	**1**	**0**	**1**	**0**	**1**	**21**
16	**1**	**0**	**0**	**0**	**0**	**1**	**0**	**1**	**1**	**0**	**22**
17	**1**	**0**	**0**	**0**	**1**	**1**	**0**	**1**	**1**	**1**	**23**
18	**1**	**0**	**0**	**1**	**0**	**1**	**1**	**0**	**0**	**0**	**24**
19	**1**	**0**	**0**	**1**	**1**	**1**	**1**	**0**	**0**	**1**	**25**

Як видно з таблиці, підсумовування двійково-десяткових операндів дає суму $S'_{K4}S'_{K3}S'_{K2}S'_{K1}$ та перенос P'_K, які,починаючи з 10-го рядка, не відповідають додаванню десяткових чисел. В рядках 16-19 потрібна корекція лише суми, а в рядках 10-15 — суми та переносу. Корекція повинна перетворити суму $S'_{K4}S'_{K3}S'_{K2}S'_{K1}$ в суму $S_{K4}S_{K3}S_{K2}S_{K1}$ та перенос P'_K в P_k.

Корекція переносу виконується логічним додаванням:

$$P_K = P_K{}' + P_{кор},$$

де $P_{кор}$ — коригуючий доданок, що приймає значення логічної одиниці на наборах $S'_{K4}S'_{K3}S'_{K2}S'_{K1}$ в 10-15 рядках таблиці, тобто:

S'₄S'₃ \ S'₂S'₁	00	01	11	10
00	**0**	**0**	**0**	**0**
01	**0**	**0**	**0**	**0**
11	**1**	**1**	**1**	**1**
10	**0**	**0**	**1**	**1**

$$P_{кор} = = S'_4 \cdot S'_3 + S'_4 \cdot S'_2$$

$$P_K = P'_K + P_{кор} = \overline{\overline{P'_K + S'_4 \cdot S'_3 + S'_4 \cdot S'}} = \overline{\overline{P'_K} \cdot \overline{S'_4 \cdot S'_3} \cdot \overline{S'_4 \cdot S'}}$$

Необхідність корекції результату суми виникає завжди при $P_K = 1$. При цьому, для отримання правильного результату суми необхідно до проміжного результату $S'_{K4}S'_{K3}S'_{K2}S'_{K1}$ добавити код $0110_2=6_{10}$, тобто:

$\Sigma_{2-10} = \Sigma_2 + P(0110)_2$ — (двійково-десяткове = двійкове + число 6 для 10 комбінацій).

Реалізація секції двійково-десяткового суматора на основі двох секцій двійкового суматора показана на рис.8.14:

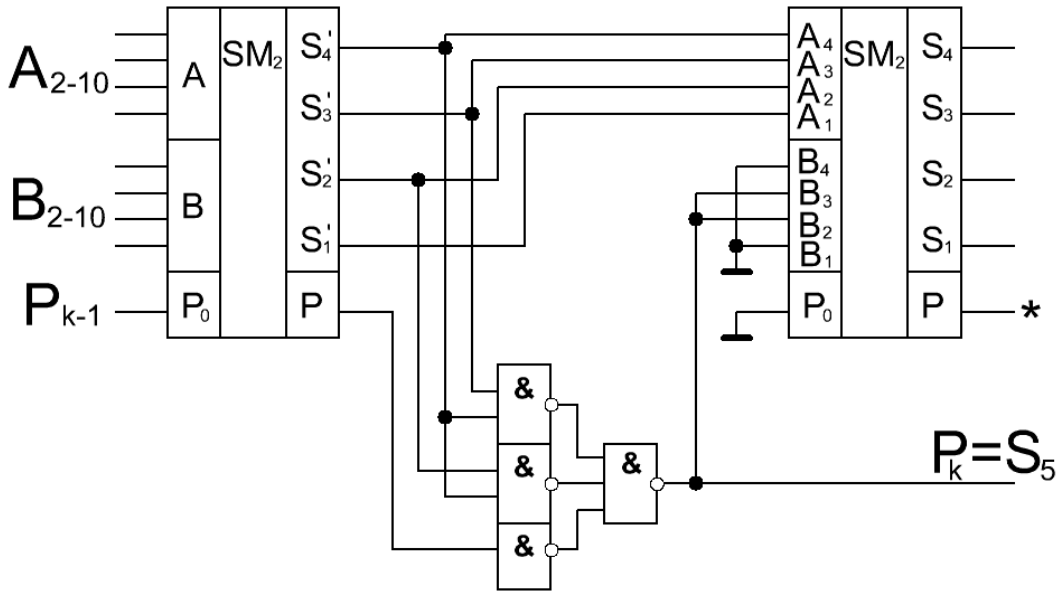


Рис. 8.14

8.7. Комбінаційний перемножувач

Завдяки високій швидкодії комбінаційні суматори широко застосовуються в різних пристроях обробки цифрової інформації. Одним з можливих застосувань є пристрій множення чисел на основі комбінаційних суматорів.

Нехай необхідно перемножити два двійкових числа $A_4A_3A_2A_1$ та $B_4B_3B_2B_1$. Арифметичне множення має вигляд:

$$
\begin{array}{cccccccc}
 & & & & A_4 & A_3 & A_2 & A_1 \\
 & & & & B_4 & B_3 & B_2 & B_1 \\
\hline
 & & & & A_4B_1 & A_3B_1 & A_2B_1 & A_1B_1 \\
 & & & A_4B_2 & A_3B_2 & A_2B_2 & A_1B_2 & \\
 & & A_4B_3 & A_3B_3 & A_2B_3 & A_1B_3 & & \\
 & A_4B_4 & A_3B_4 & A_2B_4 & A_1B_4 & & & \\
\hline
\Pi_8 & \Pi_7 & \Pi_6 & \Pi_5 & \Pi_4 & \Pi_3 & \Pi_2 & \Pi_1
\end{array}
$$

Тут добутки типу $A_i B_j$ визначається за допомогою кон'юнкцій відповідних змінних.

Перемноження двох чисел А і В можна виконати, застосувавши додавання із зсувом. Окремі добутки однозначно визначаються помноженням чила $A_4 A_3 A_2 A_1$ на черговий біт множника. Кожний наступний окремий добуток необхідно зсунути на один розряд по відношенню до попереднього. Остаточний добуток виходить послідовним додаванням окремих добутків.

Реалізація перемножувача на основі однорозрядних суматорів приведена на рис.8.15:

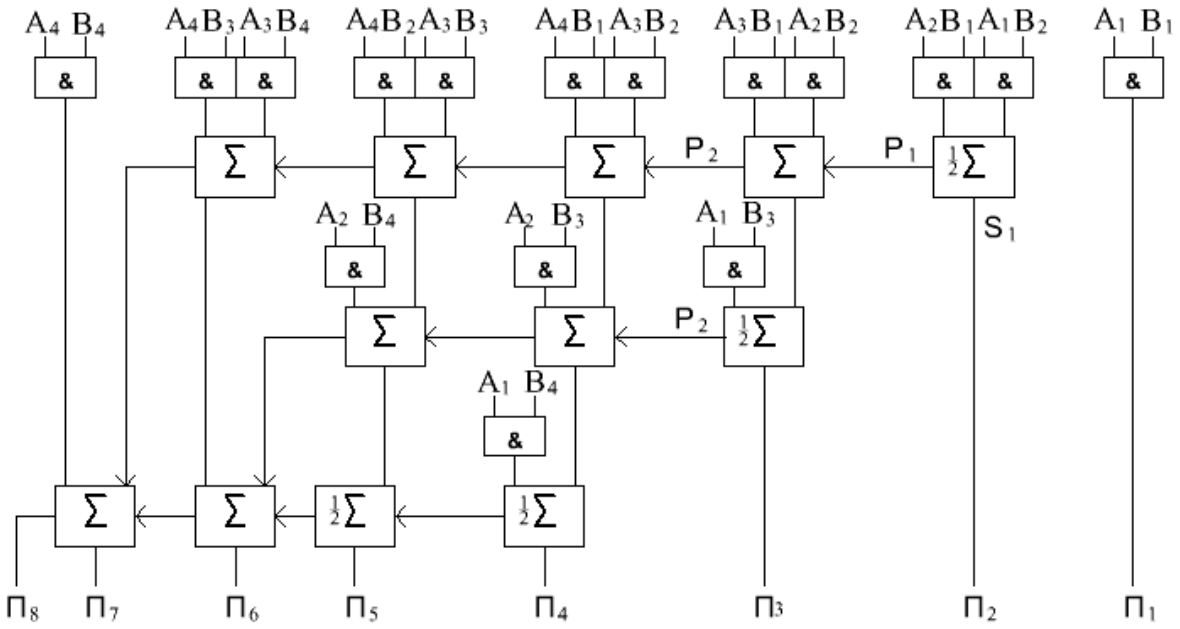


Рис. 8.15

Основна перевага комбінаційного перемножувача - висока швидкодія, що не пов'язана з тактовою синхронізацією пристрою, а визначається лише затримками сигналів у логічних елементах.

Комбінаційні перемножувачі ефективно можуть бути використані при побудові цифрових фільтрів, для виконання необхідних обчислень швидкого перетворення Фур'є, в мікропроцесорних системах.

9. Цифрові компаратори (ЦК)

Компаратор - це комбінаційний пристрій, що реалізує функції відношення двох і більше операндів (кодові комбінації, які беруть участь в арифметичних співвідношеннях).

Для двох операндів А і В це функції:

$$F(A > B) = \overset{>}{F}, \; F(A < B) = \overset{<}{F}, \; F(A = B) = \overset{=}{F}$$

та їх суперпозиції: $F(A \geq B) = \overset{\geq}{F}$, $F(A \leq B) = \overset{\leq}{F}$

Найважливішим є компаратор, що виявляє рівність аргументів A = B. Універсальний компаратор повинен визначити всі можливі відношення аргументів.

9.1. Однорозрядні ЦК

Функції відношень між однорозрядними двійковими операндами представлені в таблиці:

A	***B***	$\overset{>}{F}$	$\overset{=}{F}$	$\overset{<}{F}$	$\overset{\geq}{F}$	$\overset{\leq}{F}$
0	**0**	**0**	**1**	**0**	**1**	**1**
0	**1**	**0**	**0**	**1**	**0**	**1**
1	**0**	**1**	**0**	**0**	**1**	**0**
1	**1**	**0**	**1**	**0**	**1**	**1**

Функції $\overset{>}{F}$, $\overset{<}{F}$, $\overset{=}{F}$ можна реалізувати наступним чином:

$$\overset{>}{F} = A \cdot \overline{B} = \overline{\overline{A} + B}$$

$$\overset{<}{F} = \overline{A} \cdot B = \overline{A + \overline{B}}$$

$$\overset{=}{F} = \overline{A} \cdot \overline{B} + A \cdot B = A \sim B = \overline{A \oplus B} = \overline{\overline{A} \cdot B + A \cdot \overline{B}} = \overline{\overline{\overline{A} \cdot \overline{B}} \cdot \overline{A \cdot B}} = \overline{\overset{>}{F} + \overset{<}{F}}$$

На рис.9.1-*а, б* наведені вирази реалізації, що відповідають даним логічним виразам, а на рис.9.1-*в* - умовно-графічне позначення однорозрядного компаратора.

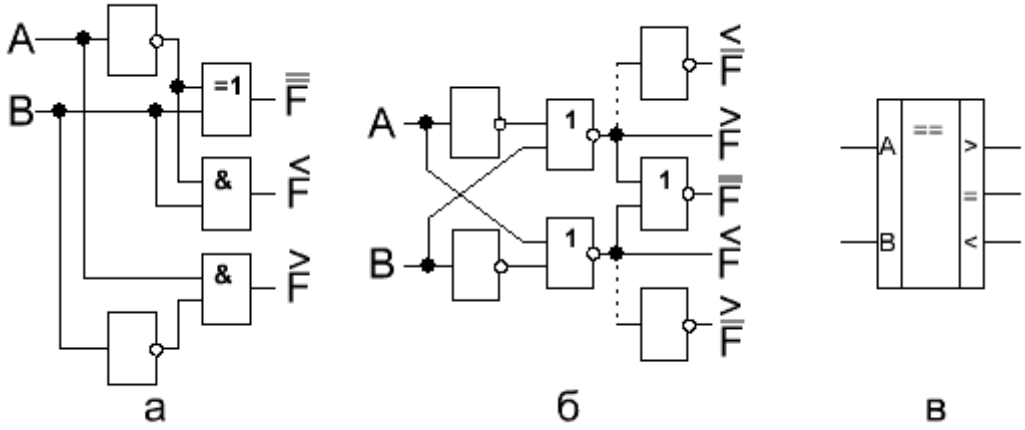


Рис. 9.1

9.2. Багаторозрядні ЦК

Нехай є трьохрозрядне число $A_3A_2A_1$, порівняємо його із числом $B_3B_2B_1$. Тоді отримаємо співвідношення: =, >, <:

$$\overset{=}{F}_3 = (A_3 = B_3)\cdot(A_2 = B_2)\cdot(A_1 = B_1) = (\overline{A_3 \oplus B_3})\cdot(\overline{A_2 \oplus B_2})\cdot(\overline{A_1 \oplus B_1}) =$$
$$= \overline{(A_3 \oplus B_3) + (A_2 \oplus B_2) + (A_1 \oplus B_1)}$$

$$\overset{>}{F}_3 = (A_3 > B_3) + (A_2 = B_2)\cdot(A_2 > B_2) + (A_3 = B_3)\cdot(A_2 = B_2)\cdot(A_1 > B_1) =$$
$$= A_3 \cdot \overline{B_3} + (A_3 \cdot B_3 + \overline{A_3}\cdot\overline{B_3})(A_2 \cdot \overline{B_2} + (A_2 \cdot B_2 + \overline{A_2}\cdot\overline{B_2})\cdot A_1 \cdot \overline{B_1}) =$$
$$= \overline{\overline{A_3}\cdot B_3} + (\overline{A_3} \oplus B_3)(\overline{\overline{A_2} + B_2} + (\overline{A_2} \oplus B_2)\cdot\overline{\overline{A_1} + B_1})$$

Реалізація даних функцій $\overset{>}{F}$ та $\overset{=}{F}$ наведені на рис.9.2 та рис.9.3

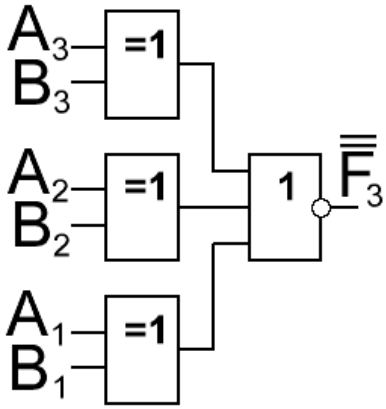


Рис. 9.2

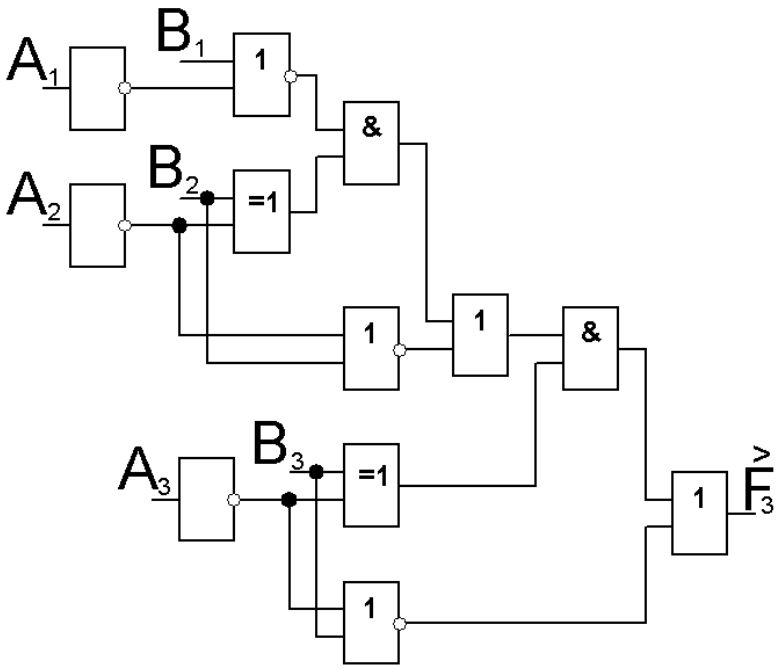


Рис. 9.3

Як видно зі схеми, затримка сигналу $\overset{>}{F}_3$ пропорційна розрядності чисел, що порівнюються. Для збільшення швидкодії функції $\overset{>}{F}, \overset{<}{F}$ потрібно привести до виду ДНФ (КНФ) і мінімізувати.

Після мінімізації, наприклад, для $\overset{>}{F}_3$ отримуємо:

$$\overset{>}{F}_3 = A_3 \cdot \overline{B_3} + A_3 \cdot A_2 \cdot \overline{B_2} + \overline{B_3} \cdot A_2 \cdot \overline{B_2} + A_3 \cdot A_1 \cdot \overline{B_2} \cdot \overline{B_1} + A_3 \cdot A_2 \cdot A_1 \cdot \overline{B_1} + A_2 \cdot A_1 \cdot \overline{B_3} \cdot \overline{B_1} + A_1 \cdot \cdot \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_1}$$

Логічна схема реалізації функції $\overset{>}{F}_3$ показана на рис.9.4. Така схема забезпечує мінімальну затримку вихідних сигналів, тобто максимальну швидкодію. Схема $\overset{<}{F}_3$ аналогічна, якщо в ній відповідні змінні A_i та B_i поміняти місцями.

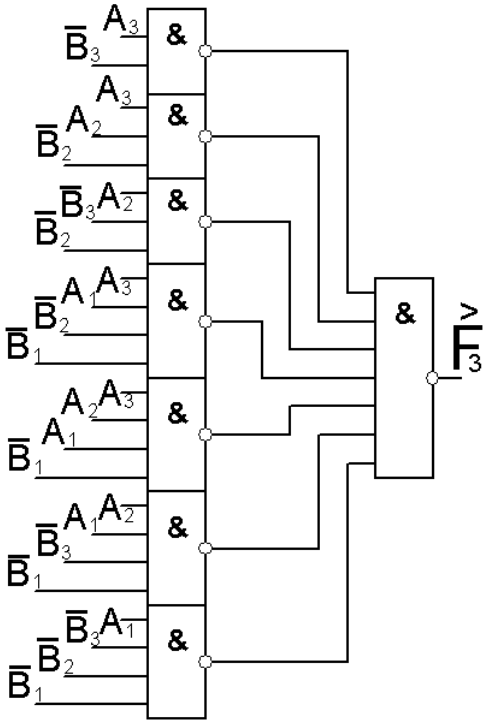


Рис. 9.4

В результаті об'єднання схем, що реалізують функції $\overline{\overline{F}}_3, \overset{>}{F}_3, \overset{<}{F}_3$, отримуємо ЦК для порівняння двох чисел (умовно-графічне зображення на рис.9.5):

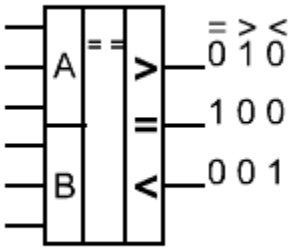


Рис. 9.5

9.3. ЦК на основі суматору

Відношення двох чисел можна виявити, якщо з числа A відняти B і проаналізувати різницю $D_4D_3D_2D_1$. Аналогічно, віднімання B від A можна замінити складанням A з числом B в зворотному коді:

$$\begin{array}{r} A_4A_3A_2A_1 \\ -\ \underline{B_4B_3B_2B_1} \\ D_4D_3D_2D_1 \end{array} \longrightarrow \begin{array}{r} A_4A_3A_2A_1 \\ +\ \overline{B_4}\,\overline{B_3}\,\overline{B_2}\,\overline{B_1} \\ \hline PS_4S_3S_2S_1 \end{array}$$

У таблиці наведені можливі ситуації на виході суматору і відповідні функції співвідношень:

$\bigcap S_i$	P_i	
1	*	$\overset{=}{F}_4$
0	**1**	$\overset{>}{F}_4 = \overline{\overset{=}{F}_4} \cdot P = \overline{\overset{=}{F}_4 + \overline{P}}$
0	**0**	$\overset{<}{F}_4 = \overline{\overset{=}{F}_4} \cdot \overline{P} = \overline{\overset{=}{F}_4 + P}$

Тут $\overset{=}{F}_4 = \bigcap_{i=1}^{4} S_I$ — функція рівності для чотирьохрозрядних чисел, яка представляє собою кон'юнкцію для виходних сигналів суматора..

Схема, що реалізує наведені в таблиці вирази, приведена на рис.9.6.

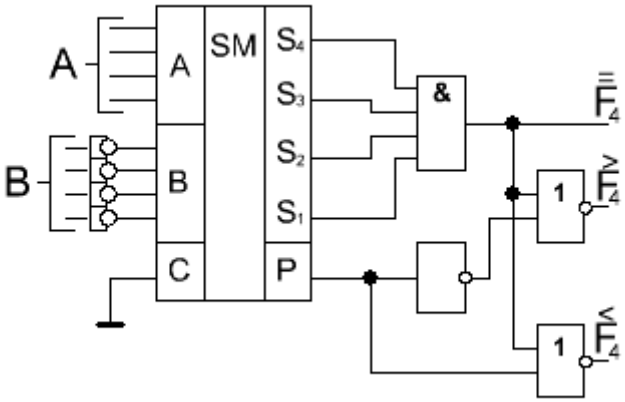


Рис. 9.6

9.4. Секціоновані ЦК

Багаторозрядні компаратори зазвичай складають із базових секцій. Найбільш часто в якості базової секції може бути використаний 4-розрядний паралельний компаратор з трьома виходами $\overset{<}{F}$, $\overset{=}{F}$, $\overset{>}{F}$. На його входи крім розрядів двійкових чисел А та В подаються сигнали $\overset{<}{F}$, $\overset{=}{F}$, $\overset{>}{F}$, що представляють результат порівняння молодших тетрад порівнюваних чисел.

Нехай задано два числа A та B. Представимо їх як комбацію старших і молодших тетрад:

$$A = \underbrace{A_8 A_7 A_6 A_5}_{A_C} \underbrace{A_4 A_3 A_2 A_1}_{A_M} = A_C A_M$$

$$B = \underbrace{B_8 B_7 B_6 B_5}_{B_C} \underbrace{B_4 B_3 B_2 B_1}_{B_M} = B_C B_M$$

Функція $\overset{=}{F} = (A = B)$ є результатом порівняння старших та молодших тетрад:

$$\overset{=}{F} = (A_C = B_C)(A_M = B_M) = \overset{=}{F}_C \cdot \overset{=}{F}_M$$

$$\overset{>}{F} = (A_C > B_C) + (A_C = B_C) \cdot (A_M > B_M) = \overset{>}{F}_C + \overset{=}{F}_C \cdot \overset{>}{F}_M = \overline{\overline{\overset{>}{F}_C} \cdot \overline{\overset{=}{F}_C} \cdot \overset{>}{F}_M}$$

$$\overset{<}{F} = (A_C < B_C) + (A_C = B_C) \cdot (A_M < B_M) = \overset{<}{F}_C + \overset{=}{F}_C \cdot \overset{<}{F}_M = \overline{\overline{\overset{<}{F}_C} \cdot \overline{\overset{=}{F}_C} \cdot \overset{<}{F}_M}$$

Секція 4-розрядного компаратора (Рис.9.7) виконується у вигляді інтегральної мікросхеми (Рис.9.8-*а*). Секції компаратора з'єднуються послідовно або паралельно (Рис.9.8-*б*).

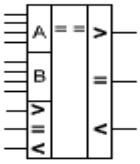


Рис. 9.7

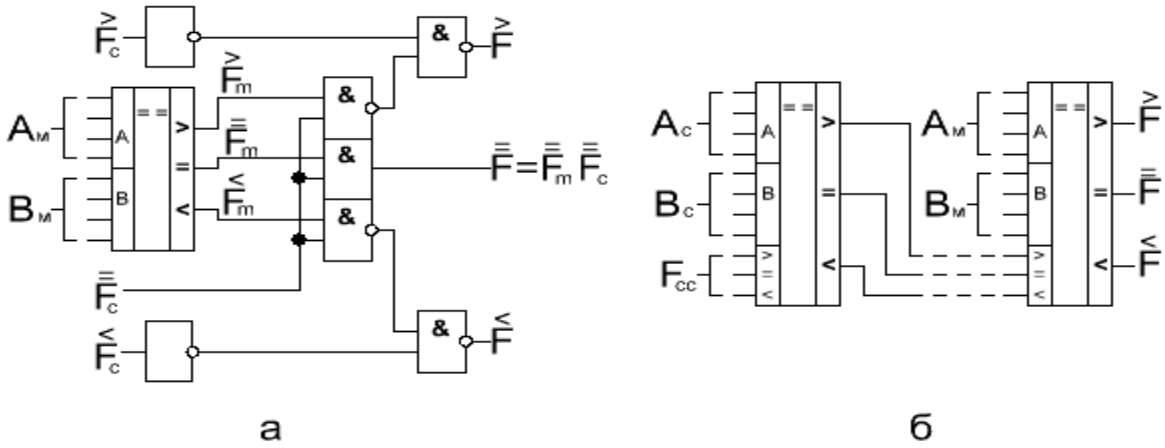


Рис. 9.8

10. Тригери

Тригером називають спусковий регенеративне пристрій з двома і більше стійкими станами, що перемикаються відповідно до станів інформаційних входів. Крім інформаційних, тригери можуть мати вхід синхронізації та інші керуючі входи.

10.1. Асинхронні RS-тригери

В асинхронних тригерах зміна станів здійснюється під час подій на інформаційних входах.

10.1.1. RS-тригер на логічних елементах АБО-НЕ

Функціональна схема RS-тригера на елементах АБО-НЕ показана на рис. 10.1:

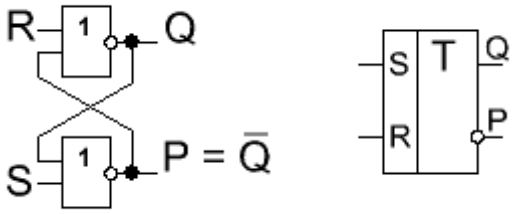


Рис. 10.1

Два двохвходових ЛЕ замкнуто в контур позитивного зворотного зв'язку: вихід першого ЛЕ $\overline{Q}$ з'єднаний з одним із входів іншого, а вихід другого Q - з одним із входів першого. Вільні входи, використовуються як інформаційні входи R і S тригера. За визначенням сигналом по входу S (від англ. Set - установка) тригер встановлюється в стан «1», а по входу R (від англ. Reset - скидання) тригер встановлюється в стан «0». Ідентифікатором стану приймають рівень на прямому виході тригера *Q*. Другий вихід тригера *P* називають інверсним, оскільки у нормальному режимі його стан є протилежним виходу *Q*.

Логіку роботи тригера можна представити як таблицю станів:

R	***S***	***Q***	***P***	
0	**0**	Q_{n-1}	$\overline{Q}_{n-1}$	**режим зберігання**
0	**1**	**1**	**0**	**установка 1**
1	**0**	**0**	**1**	**установка 0**
1	**1**	**0**	**0**	**розрив тригерних зв’язків**

Якщо врахувати, що на виході елемента АБО-НЕ буде логічний нуль, якщо хоча б на один з входів подано логічну одиницю, то безпосередньо за схемою можна визначити, що при *R = 0, S = 0* завдяки зворотним зв'язкам між ЛЕ будь-який з станів тригера ($Q = 1$ або $Q = 0$) буде стійким. Така комбінація керуючих сигналів відповідає режиму зберігання

Комбінація *R = 0, S = 1* переводить тригер у стан логічної одиниці, якщо він був в стані логічного нуля, або, якщо він був в стані логічної одиниці, утримує його в цьому стані. Це режим установки в «1».

Комбінація *R = 1, S = 0* зберігає стан тригера, якщо він був в нулі, або переводить його в нуль, якщо в тригері була записана одиниця. Це режим установки в «0».

Комбінація *R = 1, S = 1* є забороненою. При такій комбінації стан тригера не визначено, оскільки у цьому випадку *Q=P=0* і такий стан не заледить від зв'яків між логічними елементами. Тому такий режим називають режимом розриву тригерних зв'язків.

Логічне рівняння, що описує логічні стани тригера, можна записати з таблиці станів або карти Карно%

$Q_n =$

Q_{n-1} \ R_nS_n	00	01	11	10
0	**0**	**1**	**?**	**0**
1	**1**	**1**	**?**	**0**

$$= Q_{n-1} \cdot \overline{R}_n + S_n\overline{R}_n =$$

$$(Q_{n-1} + S_n)(S_n + \overline{R}_n)$$

Час установки тригера $t_{уст.тр.} = 2t_{зд.р.ср.}$.

10.1.2. RS-тригер на логічних елементах І-НЕ

Функціональна схема асинхронного RS-тригера на елементах І-НЕ показана на рис.10.2:

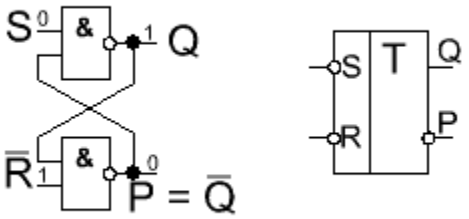


Рис. 10.2

Її можна отримати безпосередньо зі схеми на елементах АБО-НЕ, використовуючи принцип подвійності. Згідно з цим принципом будь-яку логічну схему, побудовану на

елементах АБО-НЕ можна замінити схемою на елементах І-НЕ, якщо при цьому сигнали на входах і виходах замінити на їх протилежні значення:

$$S \to \overline{S},\ R \to \overline{R},\ Q \to \overline{Q},\ \overline{Q} \to Q.$$

Карта Карно характеризує стан тригеру:

Q_{n-1} \ $\overline{S}\ \overline{R}$		01	11	10
0	?	1	0	0
1	?	1	1	0

$$= S_n.\overline{R}_n + Q_{n-1}\overline{R}_n$$
$$= (Q_{n-1} + S_n)(S_n + \overline{R}_n)$$

Режим зберігання забезпечується за умови, що сигнали управління $\overline{R} = 1, \overline{S} = 1$. Установка в «1» здійснюється під час зміни $\overline{S}$ з логічної одиниці в нуль, а установка в «0» - під час зміни $\overline{R}$ з логічної одиниці на нуль.

Комбінація $\overline{R} = 0, \overline{S} = 0$ є забороненою. При такій комбінації стан тригеру невизначений.

10.2. Синхронні RS-тригери

Синхронні тригери, крім інформаційних входів містять вхід синхронізації С, на який подаються короткі імпульси і який дозволяє запис нової інформації в тригер. Всі синхронні тригери перемикаються одночасно.

10.2.1. RS-тригер на логічних елементах І-НЕ

Функціональна схема синхронного RS-тригера з інформаційними входами *A,B* та входом синхронізаціїна *C* елементах І-НЕ містить асинхронний тригел на елементах 1, 2 і схему синхронізації (елементи 3, 4, рис.10.3):

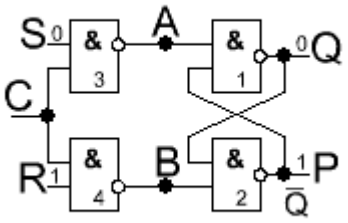


Рис.10.3

Вхідні і вихідні сигнали для асинхронного тригера визначаються такими співвідношеннями: $A = \overline{SC},\ B = \overline{RC},\ Q = \overline{A\overline{Q}},\ \overline{Q} = \overline{BQ}$.

Сигнали на інформаційних входах R і S тільки обумовлюють інформацію, яка записується. Поки C = 0, A = B = 1, тригер знаходиться в режимі зберігання. Запис інформації в тригер починається після появи синхроімпульсу C = 1. Якщо C = 1, то в залежності від того, записується в тригер логічна одиниця (S = 1) або логічний нуль (R = 1), тригер встановлюється відповідно в «1» або «0».

Стани тригеру для різних комбінацій R і S показані на карті Карно:

$Q_n =$

C_nQ_{n-1} \ S_nR_n	**00**	**01**	**11**	**10**
00	**0**	**0**	**0**	**0**
01	**1**	**1**	**1**	**1**
11	**1**	**0**	**?**	**1**
10	**0**	**0**	**?**	**1**

$= \overline{C}_n . Q_{n-1} + Q_{n-1} . \overline{R}_n + C_n S_n \overline{R}_n = (Q_{n-1} + C_n)(Q_{n-1} + S_n)(S_n + \overline{R}_n + \overline{C}_n)$

10.2.2. RS-тригер на логічних елементах АБО-НЕ

Функціональна схема синхронного RS-тригеру на логічних елементах АБО-НЕ показана на рис.10.4:

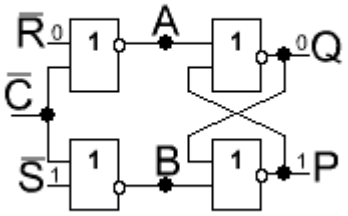


Рис.10.4

Сигнали на інформаційних входах R і S визначають інформацію, яка записується. Поки $\overline{C} = 1$, $Q_n = Q_{n-1}$, тригер знаходиться в режимі зберігання. Запис інформації в тригер починається після появи тактового імпульсу $\overline{C} = 0$. Якщо $\overline{C} = 0$, то в залежності від того, записується в тригер логічний нуль ($\overline{R} = 0$) або логічна одиниця ($\overline{S} = 0$), тригер встановлюється відповідно в «0» або «1».

різних карті

$\overline{C}_n Q_{n-1}$ \ $\overline{S_n}\,\overline{R_n}$	00	01	11	10
00	?	1	0	0
01	?	1	1	0
11	1	1	1	1
10	0	0	0	0

$Q_n =$

Стани тригеру для комбінацій R і S показані на Карно:

$$=\overline{C}_n Q_{n-1} + Q_{n-1}\overline{R}_n + C_n S_n \overline{R}_n = (C_n + Q_{n-1})(Q_{n-1} + S_n)(\overline{C}_n + S_n + \overline{R}_n)$$

Умовно-графічне зображення синхронного RS-тригеру наведене на рис.10.5 (*а* — на ЛЕ АБО-НЕ, *б* — на ЛЕ І-НЕ):

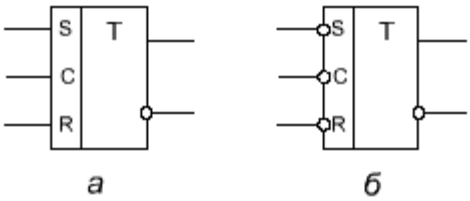


Рис.10.5

10.3. Різновиди RS-тригерів

10.3.1. R-тригер

R-тригер - це варіант RS-тригеру, який на заборонену комбінацію S=R=1 реагує установкою в «0».

Функціонування R-тригеру описується відповідно карті Карно рівнянням:

$C_n Q_{n-1}$ \ $S_n R_n$	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	1	0	0	1

$Q_n =$

$$= \overline{C}_n Q_{n-1} + Q_{n-1}\overline{R}_n + C_n S_n \overline{R}_n$$

10	**0**	**0**	**0**	**1**	$= (Q_{n-1} + C_n)(\overline{C}_n + R_n)(Q_{n-1} + S_n)$

Схема, що реалізує дане рівняння в базисі І-НЕ, наведена на рис.10.6:

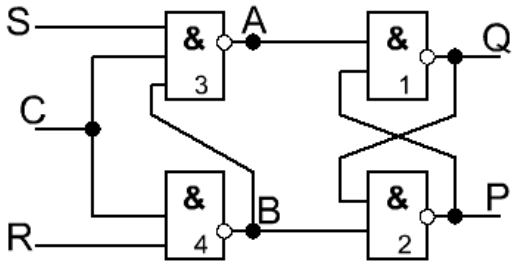


Рис.10.6

Через зв'язок входу логічного елемента 3 з виходом 4 при одночасній керуючій дії S = R = 1 вихід 4, на який встановлюється B = 0, блокує інші входи елемента 3 і сигнал S = 1 тригер не сприймає. Тому комбінація S = R = 1 встановлює тригер в стан «0».

10.3.2. S-тригер

S-тригер – це варіант RS-тригеру, який на заборонену комбінацію S=R=1 реагує установкою в «1».

Функціонування асинхронного S-тригеру описується картою Карно та рівнянням:

$Q_n =$

C_nQ_{n-1} \ S_nR_n	**00**	**01**	**11**	**10**
00	**0**	**0**	**0**	**0**
01	**1**	**1**	**1**	**1**
11	**1**	**0**	**1**	**1**
10	**0**	**0**	**1**	**1**

$$= \overline{C}_n Q_{n-1} + Q_{n-1}\overline{R}_n + C_n S_n$$

$$= (Q_{n-1} + C_n)(Q_{n-1} + S_n)(\overline{C}_n + S_n + \overline{R}_n)$$

Схема S-тригеру наведена на рис.10.7:

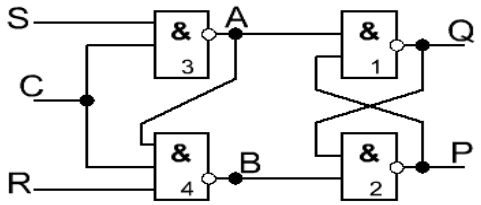


Рис.10.7

Зв'язок між виходом елемента 3 і входом елемента 4 забезпечує пріоритет входу S, оскільки при S = 1 на вхід 4 надходить рівень $A = 0$, який для логічного елемента І-НЕ є домінуючим і виключає вплив інших входів (в даному випадку входу R).

10.3.3. Е-тригер

Е-тригер – це варіант RS-тригеру, який на заборонену комбінацію S=R=1 не реагує, тобто зберігає попередній стан Q_{n-1}.

Стан асинхронного Е-тригера описується картою Карно і одержуваними з неї характеристичним рівнянням для прямого виходу тригеру Q:

$Q_n =$

C_nQ_{n-1} \ S_nR_n	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	1	0	1	1
10	0	0	0	1

$$= \overline{C}_nQ_{n-1} + Q_{n-1}\overline{R}_n + S_nQ_{n-1} + C_nS_n\overline{R}_n$$

$$= (Q_{n-1} + C_n)(Q_{n-1} + S_n)(Q_{n-1} + \overline{R}_n)(\overline{C}_n + S_n + \overline{R}_n)$$

Схема, що реалізує одержане рівняння в базисі логічних елементів І-НЕ показана на рис.10.8:

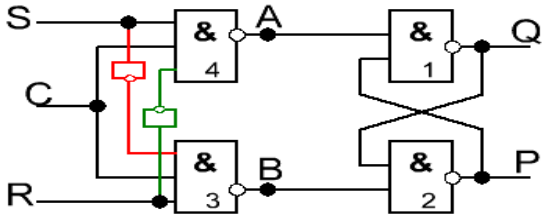


Рис.10.8

Додаткові інвертори при S=R=1 блокують сигналами $\overline{S_n} = 0$ та $\overline{R_n} = 0$ логічні елементи 3 та 4, на виходах яких при цьому підтримуються рівні «логічної 1», що відповідає режиму зберігання раніше записаної інформації.

10.4. RS-тригери типу «защіпка»

RS-тригер типу «защіпка» складається з асинхронного тригера на ЛЕ 1 та 2, який управляється сигналами A і B, а все решта - елементи схеми синхронізації.

Схема RS-тригера типу «защіпка» приведена на рис.10.9- *а*. Крім основного тригера на ЛЕ 1,2 схема синхронізації містить тригер на ЛЕ 3,4; тригер на ЛЕ 4 та 5 і тригер на ЛЕ 5,6.

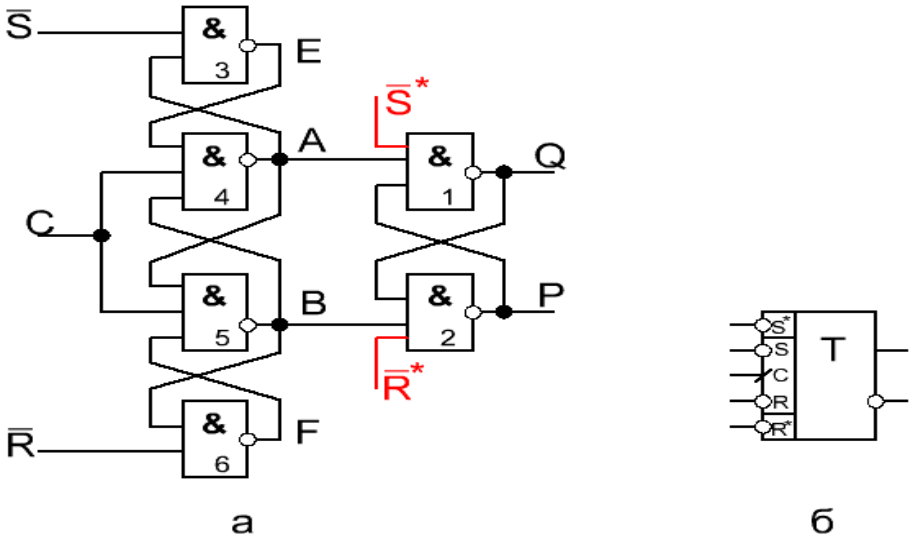


Рис.10.9

У RS-тригерах, що синхронізуються фронтом, інформаційні сигнали S і R можуть перемикатися в будь-які моменти часу, але в тригер записується стан, що відповідає комбінації вхідних сигналів S і R безпосередньо перед відповідним (позитивним або негативним) фронтом синхроімпульсів. Тригер може мати входи асинхронної установки S_n, R_n.

При C = 0 на виходах елементів 4, 5 маємо A = B = 1, тому основний тригер знаходиться в режимі зберігання попереднього стану, при цьому тригери на ЛЕ 3, 4 і 5, 6 встановлюються в стан, що відповідає рівням на інформаційних входах $\overline{S}, \overline{R}$, як показано в таблиці:

$\overline{S}n$	$\overline{R}n$	C=0					C=1					Режим
		A	B	E	F	Q_n	A	B	E	F	Q_n	
0	0	1	1	1	1	Q_{n-1}	0(1)	1(0)	1	1	?	Невизначений
1	0	1	1	0	1	Q_{n-1}	1	0	0	1	0	Установка в «0»
0	1	1	1	1	0	Q_{n-1}	0	1	1	0	1	Установка в «1»
1	1	1	1	0	0	Q_{n-1}	1	1	0	0	Q_{n-1}	Зберігання

При перемиканні C=0->1 сигнали схеми синхронізації перемикаються відповідно до таблиці при C=1. Як видно із таблиці, основний тригер при C=0 не реагує на події на входах $\overline{S}, \overline{R}$, так як A=B=1 відповідає режиму зберігання. При постійному рівні C=1 основний тригер також не реагує на перемикання входів $\overline{S}, \overline{R}$, так як рівні A=0 блокує ЛЕ 3,5 або B=0 блокує ЛЕ 4,6 або E=F=0 блокує ЛЕ 4,5. Таким чином основний тригер може перемикатися лише в момент перемикання C із «0» в «1», тобто за позитивним фронтом синхроімпульсу *C*. Тригери, що синхронізуються **фронтом** синхроімпульсу, ще називають **непрозорими**. Функціонування такого тригері описується характеристичним рівнянням (при $S^*=R^* = 1$):

$$Q_n = \overline{C}_n Q_{n-1} + Q_{n-1}\overline{R}_n + C_n S_n \overline{R}_n = (C_n + Q_{n-1})(Q_{n-1} + S_n)(\overline{C}_n + S_n + \overline{R}_n)$$

Графічне позначення такого тригера наведено на рис.10.9-*б*. Риска на вході синхронізації C позначає спрацьовування за позитивним фронтом.

10.5. RS-тригери типу MS (Master-Slave)

Такий тригер (рис.10.10-*а*) містить дві ступені: вхідний тригер M (від англ. Master) і вихідний тригер S (від англ. Slave). Непрозорість такого тригера забезпечується синхронізацією ступенів протифазними синхроімпульсами C і $\overline{C}$. Завдяки цьому при будь-якому рівні на вході C один з двох тригерів знаходиться в режимі зберігання, що виключає передачу інформації із входів S, R безпосередньо на виходи тригера Q, $\overline{Q}$. При $C = 0$ тригер ступені M знаходиться в режимі зберігання, а сигнал $\overline{C} = 1$ дозволяє перезапис стану тригера M в ступень S. При $C = 1$ тригер M встановлюється вхідними S, R, а ступень S при цьому знаходиться в режимі зберігання ($\overline{C} = 0$). Оновлення інформації на виходах Q та $\overline{Q}$ відбувається за 2 кроки, тому такі тригери називають **двотактними** і позначають двома буквами T (рис 10.10-*б*).

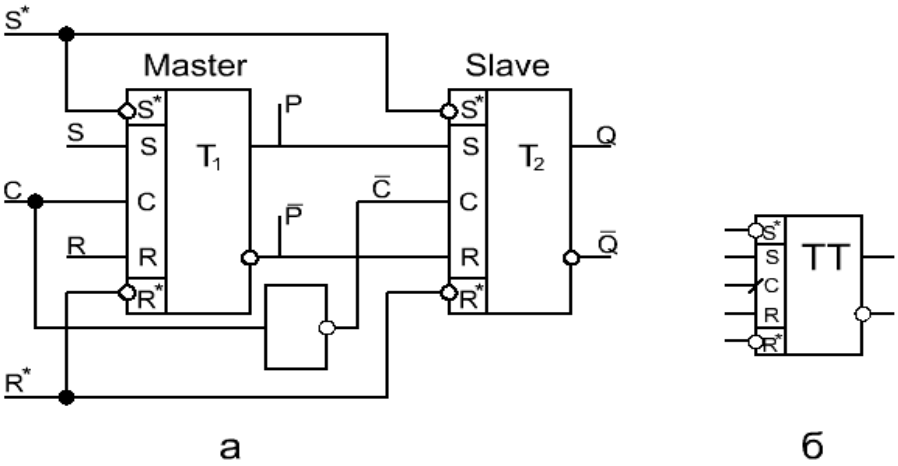


Рис.10.10

Стан RS-тригеру типу MS описується картою Карно і характеристичним рівнянням, що отримане з неї:

	C_nQ_{n-1} \ $S_{n-1}R_{n-1}$	00	01	11	10	$C_nQ_{n-1} + Q_{n-1}\overline{R}_{n-1} + S_{n-1}C_n\overline{R}_{n-1} = (Q_{n-1} + \overline{C}_n)(Q_{n-1} + S_{n-1})(C_n + S_{n-1} + \overline{R}_{n-1})$
Q_n	00	0	0	?	1	
	01	1	0	?	1	
	11	1	1	1	1	
	10	0	0	0	0	

Завдяки непрозорості RS-тригерів типу «защіпка» та MS допускається включення зворотних зв'язків $S = \overline{Q}$ і $R = Q$. При цьому вільним залишається тільки один вхід C, який за фронтом синхроімпульсу перемикає тригер в протилежний стан (рис.10.11-*б*). Такий **Т-тригер** працює як дільник частоти : $f_{вых} = f_{вх}/2$.

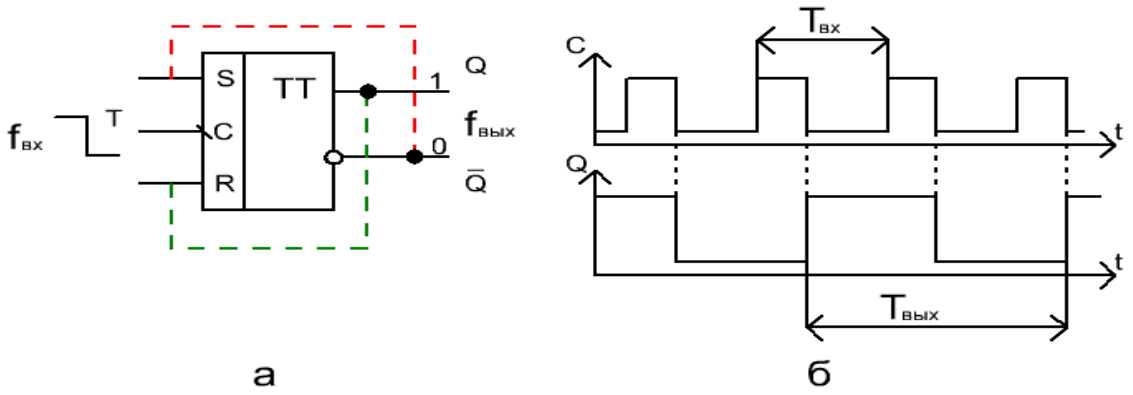


Рис.10.11

10.6. D-тригери

До D-тригерів відносяться послідовнісні пристрої з одним інформаційним входом D (від англ. **D**elay) і входом синхронізації C, які в моменти дії синхронізуючого рівня $C_n=1$ або фронту встановлюються в стан, обумовлений логічним рівнем сигналу на вході $D_n= (0,1)$, а в паузі між синхроімпульсами знаходяться в режимі зберігання інформації $(Q_n=Q_{n-1})$.

Функціонування синхронного D-тригера в статичних режимах описується картою Карно і характеристичним рівнянням:

$Q_n =$

Q_{n-1} \ C_nD_n	00	01	11	10
0	**0**	**0**	**1**	**0**
1	**1**	**1**	**1**	**0**

$$C_nD_n + Q_{n-1}\bar{C}_n = (Q_{n-1} + C_n)(\bar{C}_n + D_n)$$

Реалізація синхронного D-тригера, що задовольняє отримане рівняння, наведена на рис.10.12-*а*:

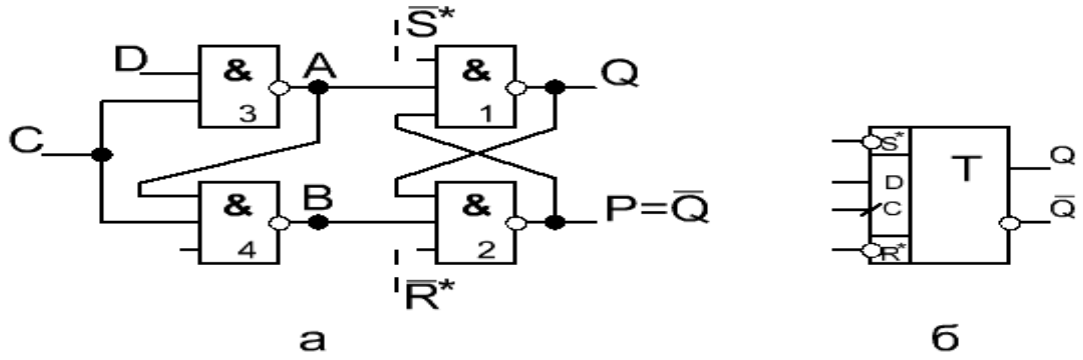


Рис.10.12

Якщо на синхронізуючий вхід D-тригера поданий рівень C = 0, що є домінуючим для елементів 3 і 4, на їх виходах встановлюються рівні A = B = 1, що не залежать від стану інформаційного входу D і забезпечують режим зберігання асинхронного тригера: $Q_n = Q_{n-1}$.

При C = 1 інформаційний вхід D визначає стан виходу елемента 3: $A = \overline{CD}$, який в свою чергу обумовлює інверсний рівень на виході елемента 4. При D = 0 тригер встановлюється в нульовий стан, $Q_n = 0$ ($A = \overline{CD} = 1, B = \overline{CA} = 0$). При D = 1 тригер встановлюється в одиничний стан $Q_n = 1$, тобто в тригер записується інформація, подана на вхід D до установки синхронізуючого рівня C = 1. Отже, інформація на виходах D-тригера з'являється із затримкою щодо інформаційного входу D, зумовленої затримкою синхронізуючого

імпульсу C щодо інформаційного сигналу D, а також часом перемикання логічних елементов1-4.

Умовно-графічне зображення такого тригера показано на рис.10.12-*б*.

10.7. D-тригери типу «защіпка»

D-тригер, що синхронізується фронтом, наведений на рис.10.13-*а*:

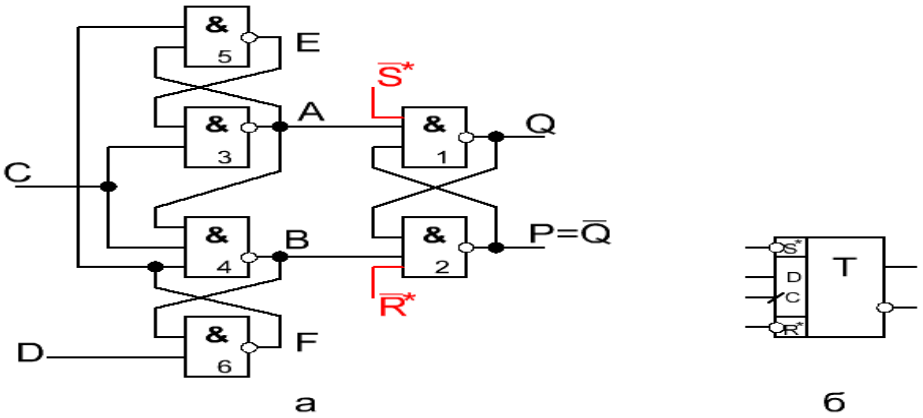


Рис.10.13

Він побудований на трьох елементарних тригерах, із них 2 тригери на елементах 3,5 і 4,6 утворюють схему синхронізації основної комірки запам'ятовування на елементах 1,2.

Перехід станів виходів Q, $\overline{Q}$, а так само керуючих сигналів A, B, E, F при перемиканні C = 0 > 1 ілюструє таблиця:

D	C=0					C=1					Режим тригеру
	A	B	E	F	Q_n	A	B	E	F	Q_n	
0	1	1	0	1	Q_{n-1}	1	0	0	1	0	Установка в «0»
1	1	1	1	0	Q_{n-1}	0	1	1	0	1	Установка в «1»

Як видно з таблиці, при C=0 перемикання рівня D впливає тільки на логічне стан виходів E і F тригерів схеми синхронізації: якщо D = 0, то E = 0, F = 1, а при D = 1 маємо F = 0, E = 1. При цьому один з тригерів схеми синхронізації знаходиться в стійкому стані, а інший в режимі розриву тригерних зв'язків при рівнях «логічної 1» на обох виходах.

За позитивним фронтом синхроімпульсу $C = 0 \rightarrow 1$ тригер, який перебував до цього в режимі розриву тригерних зв'язків, переходить в нормальний стійкий стан і на входах основного тригера формуються взаємно інверсні логічні рівні. Якщо D = 0, то A = 1, B = 0 і тригер встановлюється в стан «0»; якщо D = 1, то A = 0, B = 1 і відбувається установка в «1».

Характеристичне рівняння, що описує статичні стану «защіпки», аналогічно прозорому D-тригеру: $Q_n = C_n D_n + Q_{n-1}\overline{C}_n = (Q_{n-1} + D_n)(C_n + D_n)$

Умовно-графічне зображення такого тригера показано на рис.10.13-*б*.

В непрозорому D-тригері допускається включення зворотного зв'язку $D = \overline{Q}$ (рис.10.14-*а*). При цьому тригер з одним входом C виконує функцію T-тригера, тобто лічильника по mod2 і подільника частоти (рис. 10.14-*б*): $f_{вых} = f_{вх} / 2$.

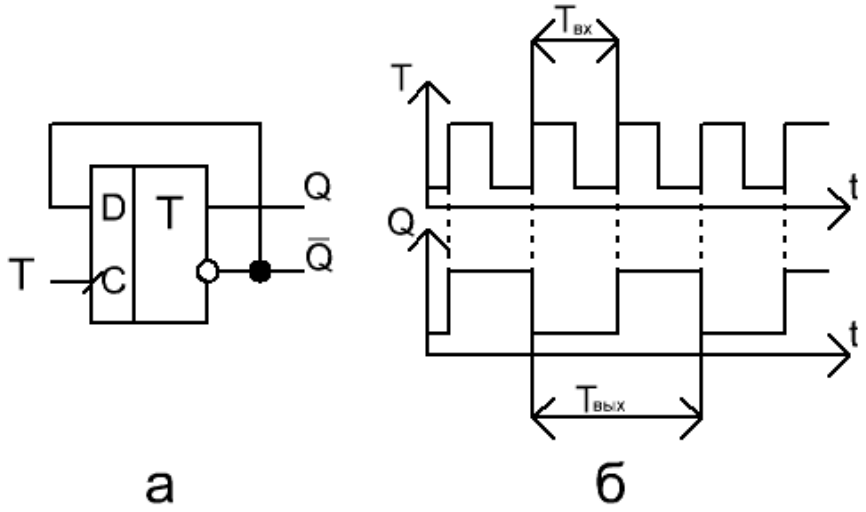


Рис.10.14

10.8. D-тригери типу MS (Master-Slave)

Для усунення наскрізного управління в D-тригерах використовують також двотактні структури MS-типу. Двотактний D-тригер будується на основі двох D-тригерів, що синхронізуються протифазними рівнями (рис.10.15-*а*).

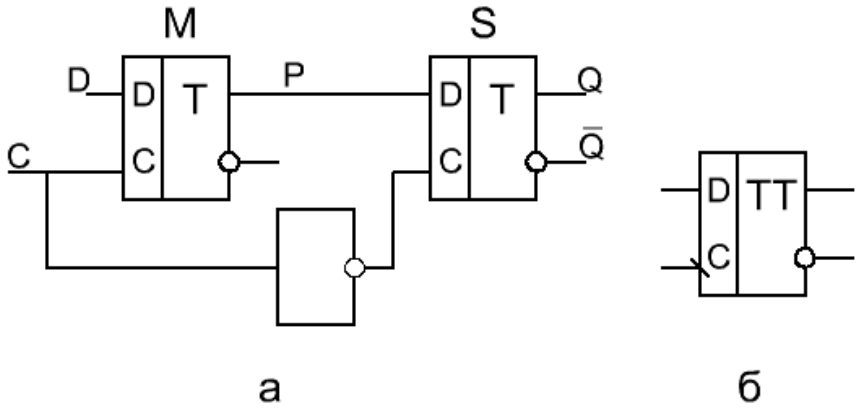


Рис.10.15

Умовно-графічне зображення такого тригеру показано на рис.10.15-*б*.

Завдяки синхронізації протифазними синхроімпульсами C і $\overline{C}$ запис нової інформації в тригери ступенів M і S принципово розділена в часі, що виключає наскрізну передачу інформації зі входу D на виходи.

При C = 0 тригер допоміжної ступені M знаходиться в режимі зберігання інформації, а у вихідний тригер (ступінь S) рівнем $\overline{C}$ = 1 дозволено перезапис вмісту тригера M у ступінь S. Перемикання синхроімпульсу $C = 0 \to 1$ і $C = 1 \to 0$ змінює режим роботи тригерів M і S: тригер M переходить в режим запису інформації із входу D, а тригер S – в режим зберігання інформації, записаної на попередньому кроці. У допоміжному тригері M можливий режим запису, що не синхронізується, протягом інтервалу синхроімпульсу C=1. Після закінчення синхроімпульсу ($C = 1 \to 0$) інформаційний вхід D блокується і в основний тригер S переписується остаточно усталений стан P.

Статика функціонування D-тригеру типу MS описується картою Карно та рівнянням:

$Q_n =$

Q_{n-1} \ C_nD_{n-1}	00	01	11	10
0	0	1	0	0
1	0	1	1	1

$$= C_n Q_{n-1} + \overline{C}_n D_{n-1} = (Q_{n-1} + \overline{C}_n)(D_{n-1} + C_n)$$

10.9. Універсальний JK-тригер типу MS

JK – бістабільні пристрої з двома інформаційними входами J (від англ. Jerk) та K (від англ. Kill) , які в разі вхідної комбінації J=K=1 перемикають тригер в протилежний стан, а при будь-яких інших комбінаціях вони функціонують як входи RS-тригера, у якого роль входів S і R виконують відповідно входи J і K: $J \equiv S,\ K \equiv R$.

Функціональна схема JK-тригеру типу MS наведена на рис.10.16-*а*. Принципова відмінність JK-тригеру від двотактного RS-тригеру полягає у використанні зворотних зв'язків з виходів $Q, \overline{Q}$ на вхідні схеми 1,2. Завдяки зворотним зв'язкам заборонена для RS-тригера комбінація S=R=1 для JK-тригеру J=K=1 однозначно перемикають стан на протилежний.

У схемі на рис 10.16-*а* замість додаткового інвертора, що формує сигнал $\overline{C}$ для ступені S (рис.10.10-*а*), використовуються сигнали A, B, що блокують ЛЕ 3,4 при записі нового стану в ступень M (коли A = 0 або B = 0).

Стани такого тригеру описуються картою Карно і характеристичним рівнянням:

$Q_n =$

C_nQ_{n-1} \ $J_{n-1}K_{n-1}$	00	01	11	10
00	0	0	1	1
01	1	0	0	1
11	1	1	1	1
10	0	0	0	0

$$= C_n Q_{n-1} + Q_{n-1}\overline{K_{n-1}} + J_{n-1}\overline{C_n}\,\overline{Q_{n-1}} = (\overline{C_n} + Q_{n-1})(J_{n-1} + Q_{n-1})(C_n + \overline{K_{n-1}} + \overline{Q_{n-1}})$$

Двотактний JK-тригер (рис.10.16-*б*) не критичний до тривалості керуючих і синхронізуючих сигналів.

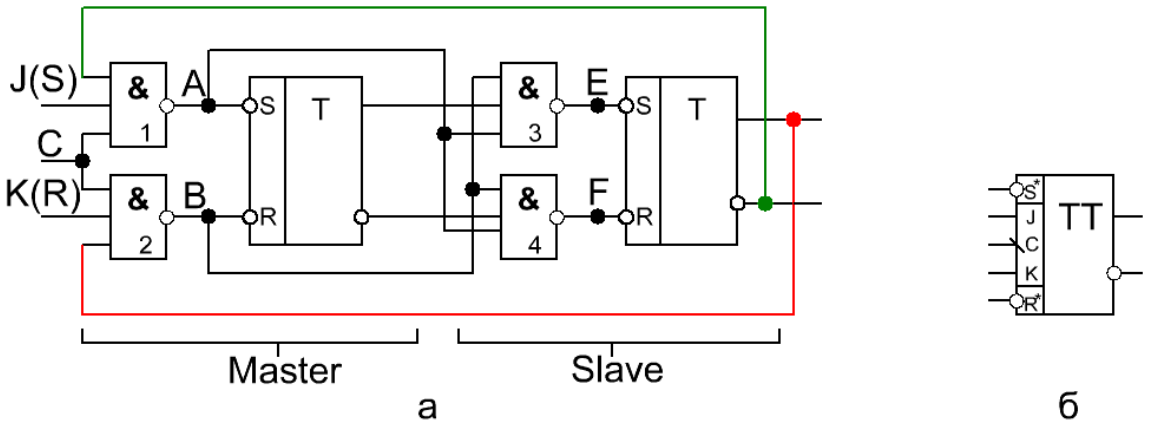


Рис.10.16

На рис.10.17-*а* показано застосування JK-тригеру в якості двотактного D-тригеру.

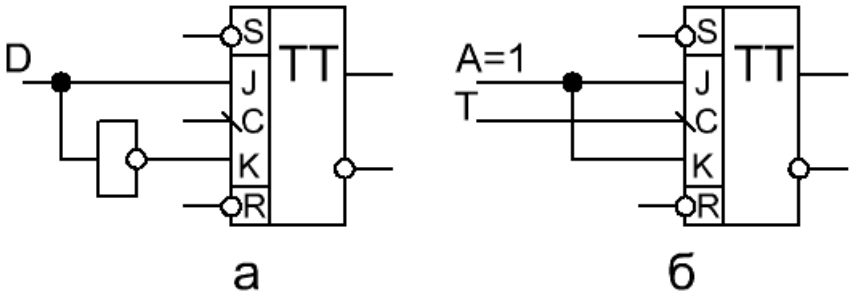


Рис.10.17

Додатковий інвертор на вході дозволяє використовувати JK-тригер в якості синхронного двотактного D-тригеру. Якщо входи J і K об'єднати і подати на них постійний рівень A = 1, то отримаємо двотактний T-тригер (рис.10.17-б). У цьому полягає універсальність JK-тригеру, який широко застосовують при побудові паралельних і послідовних регістрів, різних рахункових пристроїв, суматорів, що накопичують і т.д.

10.10. JK-тригер типа «защіпка»

Схема однотактного JK-тригеру типу «защіпка» наведена на рис.10.18-*а*. Основний тригер побудований на ЛЕ 1,2. Схема синхронізації містить тригери на ЛЕ 3-5, 3-4 і 4-6. До логічних елементів 7,8 з інформаційними входами відповідно J і K підключені сигнали зворотного зв'язку з виходів Q і $\overline{Q}$ так, щоб при J = K = 1 забезпечувалося перемикання тригера в протилежний стан.

Режими роботи тригеру і стану проміжних логічних змінних A, B, E, F при перемиканні синхроімпульсу C = 0 > 1 наведені в таблиці:

J_n	K_n	Q_{n-1}	C=0					C=1					Режим
			A	B	E	F	Q_n	A	B	E	F	Q_n	
0	0	0	1	1	0	0	0	1	1	0	0	0	Зберігання «0»
0	1	0	1	1	0	0	0	1	1	0	0	0	Зберігання «0»
1	0	0	1	1	1	0	0	0	1	1	0	1	Установка «1»
1	1	0	1	1	1	0	0	0	1	1	0	1	Установка «1»
0	0	1	1	1	0	0	1	1	1	0	0	1	Зберігання «1»
0	1	1	1	1	0	1	1	1	0	0	1	0	Установка «0»
1	0	1	1	1	0	0	1	1	1	0	0	1	Зберігання «1»
1	1	1	1	1	0	1	1	1	0	0	1	0	Установка «0»

J	K	C=0					C=1					Режим
		A	B	E	F	Q_n	A	B	E	F	Q_n	
0	0	1	1	0	0	Q_{n-1}	1	1	0	0	Q_{n-1}	Зберігання
0	1	1	1	0	Q_{n-1}	Q_{n-1}	1	$\overline{Q_{n-1}}$	0	Q_{n-1}	0	Q_n=0
1	0	1	1	$\overline{Q_{n-1}}$	0	Q_{n-1}	Q_{n-1}	1	$\overline{Q_{n-1}}$	0	1	Q_n=1
1	1	1	1	$\overline{Q_{n-1}}$	Q_{n-1}	Q_{n-1}	Q_{n-1}	$\overline{Q_{n-1}}$	$\overline{Q_{n-1}}$	Q_{n-1}	Q_{n-1}	$Q_n = \overline{Q_{n-1}}$

Як видно з таблиці станів тригеру, при C = 0 змінні A, B, що керують станом основного тригера на ЛЕ 1,2, зберігають значення A=B=1, що відповідає режиму зберігання, так як для логічних елементів І-НЕ домінуючим є рівень «0». При цьому змінні E і F приймають значення, обумовлені вхідними сигналами J, K в залежності від стану тригера Q_{n-1} до перемикання $C = 0 \to 1$ рівня на синхронізуючому вході.

Перемикання синхронізуючого сигналу $C = 0 \to 1$ обумовлює перехід тригерів схеми синхронізації на ЛЕ 3-5 і 4-6 в стійкий стан і відповідну установку (або зберігання попереднього стану Q_{n-1}) основного тригера на ЛЕ 1-2

Тригер може змінювати стан тільки в момент переходу синхронізуючого сигналу $C = 0 \to 1$, тобто за його позитивним фронтом. При постійних рівнях C=0 або C=1 тригер не реагує на інформаційні входи J і K. Так при C=0 зберігаються A = B = 1, а при C = 1 або E = F = 0 блокують входи тригера на ЛЕ 3 4, або A = 0 блокує ЛЕ 4,5, або B = 0 блокує ЛЕ 3,6. Тим самим забезпечується непрозорість «защіпки» і спрацьовування тільки за позитивним фронтом. JK-тригер може мати входи асинхронного керування R*,S* для попередньої установки.

Стани тригеру (при R*=S*=1) описуються картою Карно і характеристичними рівняннями:

C_nQ_{n-1}	J_nK_n 00	01	11	10	$= \overline{C_n}Q_{n-1} + Q_{n-1}\overline{K_n} + J_nC_n\overline{Q_{n-1}} =$

$$(C_n + Q_{n-1})(J_n + Q_{n-1})(\overline{C_n} + \overline{K_n} + \overline{Q_{n-1}})$$

Q_n=	00	0	0	0	0	
	01	1	1	1	1	
	11	1	0	0	1	
	10	0	0	1	1	

Умовно-графічне позначення показано на рис.10.18-*б*.

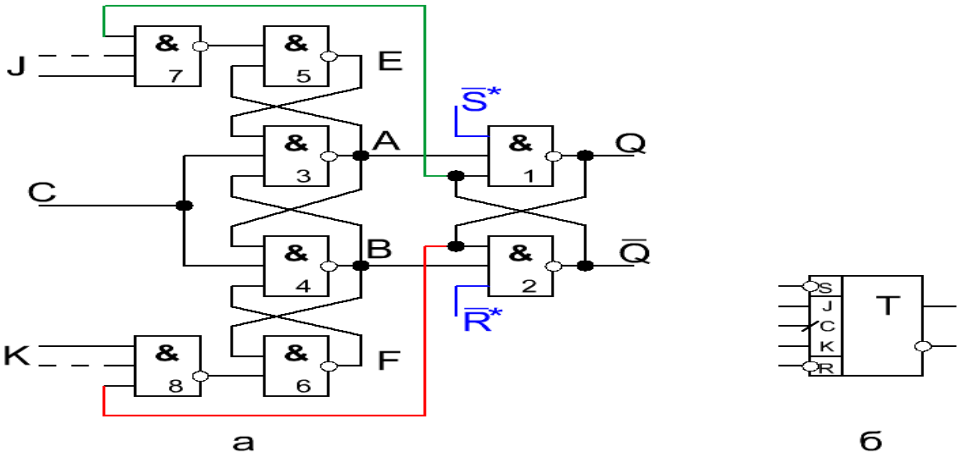


Рис.10.18

На рис.10.19 показано способи включення JK-тригера в якості D-тригера (рис.10.19-*а*) з одним інформаційним входом D і в якості T-тригера (рис.10.19-*б*) в якості однорозрядного лічильника.

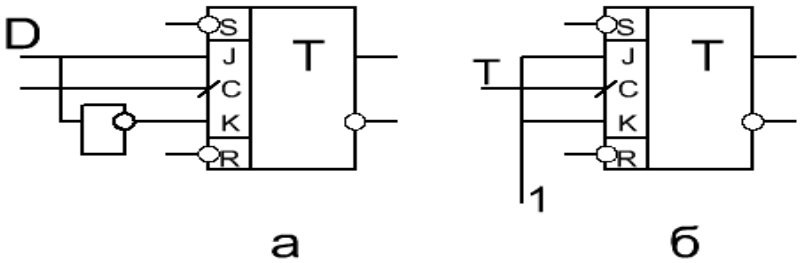


Рис.10.19

11. Регістри

Регістри – це послідовнісні пристрої, призначені для прийому, зберігання, простих перетворень і передачі багаторозрядних кодів. Під простими перетвореннями маються на увазі зміщення чисел на задану кількість розрядів, а також перетворення послідовного

двійкового коду в паралельний і паралельного в послідовний. Базовими елементами регістрів є тригери, які доповнюються комбінаційними логічними елементами для реалізації різних зв'язків між розрядами регістра і для управління прийомом і передачею операндів. Основне функціональне призначення регістрів - оперативна пам'ять для багаторозрядних двійкових чисел.

Залежно від способу прийому і передачі двійкової інформації розрізняють паралельні, послідовні, кільцеві регістри і регістри в коді Джонсона. Технічні параметри регістрів визначаються параметрами їх основного функціонального вузла тригера і розрядністю операнда.

У послідовних регістрах введення/виведення інформації здійснюється через один інформаційний вхід і один вихід порозрядно зі зсувом числа. Тому послідовні регістри називають зсувними (або регістрами зсуву). За один такт інформація, що вводиться або виводиться, зсувається на один розряд вправо або вліво. Регістри зсуву, що реалізують за командою управління зсув інформації вправо або вліво, називають реверсивними.

Зсув числа реалізується перезаписом станів між сусідніми тригерами регістра в напрямку зсуву. Таким чином, кожен розряд регістра одночасно приймає інформацію з попереднього розряду і передає інформацію в наступний. Щоб уникнути явища гонок ці процеси повинні бути розділені в часі. Це досягається включенням елементів затримок у лінії зв'язку між розрядами або використанням двотактних тригерів (n-тригерів). Паралельні регістри служать основним функціональним елементом для побудови оперативних запам'ятовуючих пристроїв.

Послідовно-паралельні регістри мають один інформаційний вхід для послідовного введення числа в режимі зсуву і вихідні вентилі для видачі n-розрядного числа паралельним кодом. Такі регістри виконують перетворення послідовного коду в паралельний.

В паралельно-послідовних регістрах інформація вводиться паралельним кодом за один такт через тактові вхідні вентилі, а виводиться з них послідовно по одному розряду в кожному тактовому інтервалі. Тим самим реалізується операція перетворення паралельного коду в послідовний.

Універсальні регістри поєднують в собі можливості перерахованих вище типів регістрів і, крім того, забезпечують режими відключення входів і виходів (третій логічний стан) регістра від загальної інформаційної шини, перекомутацію місцями входів і виходів регістра і тим самим перемикання функцій прийом / передача інформації в загальну інформаційну шину .

Технічні параметри регістрів визначаються параметрами їх основного функціонального вузла тригера і розрядністю операнда.

11.1. Паралельні регістри

При, побудові паралельних регістрів зазвичай використовуються найпростіші асинхронні RS-тригери і синхронні RS- і D-тригери. На рис.11.1, 11.2, 11.3 представлені варіанти паралельних регістрів, що відрізняються типом тригерів і складом вхідних / вихідних інформаційних шин. Регістр на основі асинхронних RS-тригерів (рис.11.1) перед занесенням чергового n-розрядного числа із входів $X_1,...,X_n$ вимагає попереднього скидання

всіх тригерів в нульовий стан. Скидання проводиться сигналом $R = 0$. Введення інформації в регістр відбувається за сигналом $A = 1$, $R = 1$. Якщо на деякому i-му вході $X_j = 1$, то $S_i = \overline{X_i A} = 0$ і даний тригер (з інверсним керуванням) перемикається в стан «1». Якщо на вході $X_j = 0$, то $S_i = \overline{X_i A} = 1$ і j-й тригер зберігає стан «0». Виведення інформації з регістра відбувається за сигналом $B = 1$, який визначає стани виходів $Y_k = \overline{\overline{Q_k} B}$. Якщо $B=0$, то на всіх виходах встановлюються рівні «логічної 1», а при $B = 1$ маємо $Y_k = Q_k$. Основний недолік даного регістра - необхідність попереднього очищення регістра, через що оновлення інформації здійснюється за два такти.

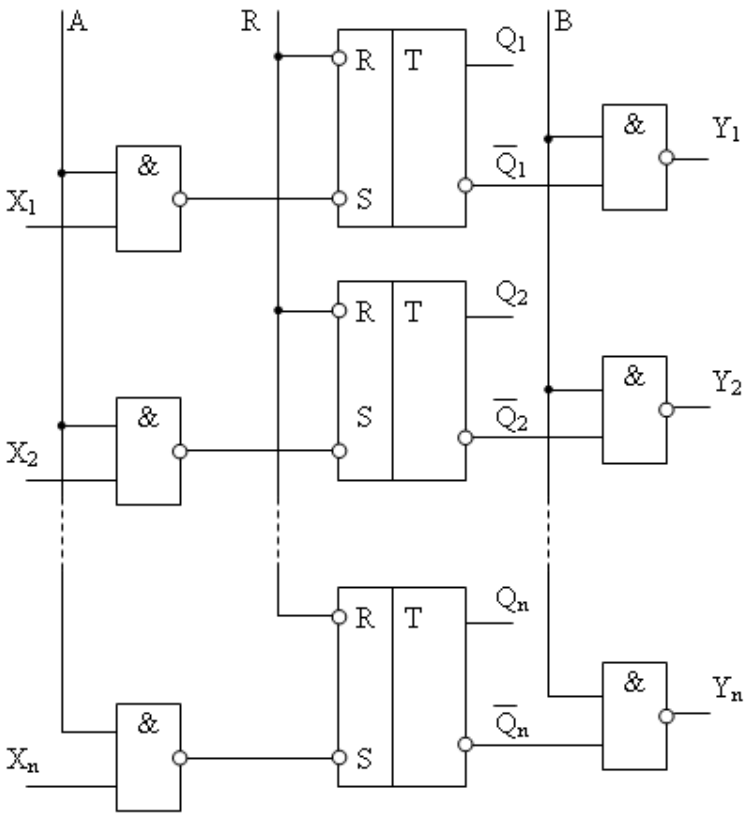


Рис.11.1

В регістрі (рис.11.2-*а*) також на основі асинхронних RS-тригерів попереднє очищення не потрібно, оскільки оновлення інформації в ньому відбувається установкою тригерів в стан «1» і «0» за один такт. Для цього на вході регістру потрібно вдвічі більше логічних елементів і ліній зв'язку.

У схемі показаний спосіб видачі інформації в прямому коді (команда $B_1 = 1$) і / або в зворотному коді (команда $B_2 = 1$). Асинхронні RS-тригери в поєднанні зі вхідними вентилями (рис.11.1 та рис.11.2-*а*) по суті утворюють варіанти синхронних RS-тригерів.

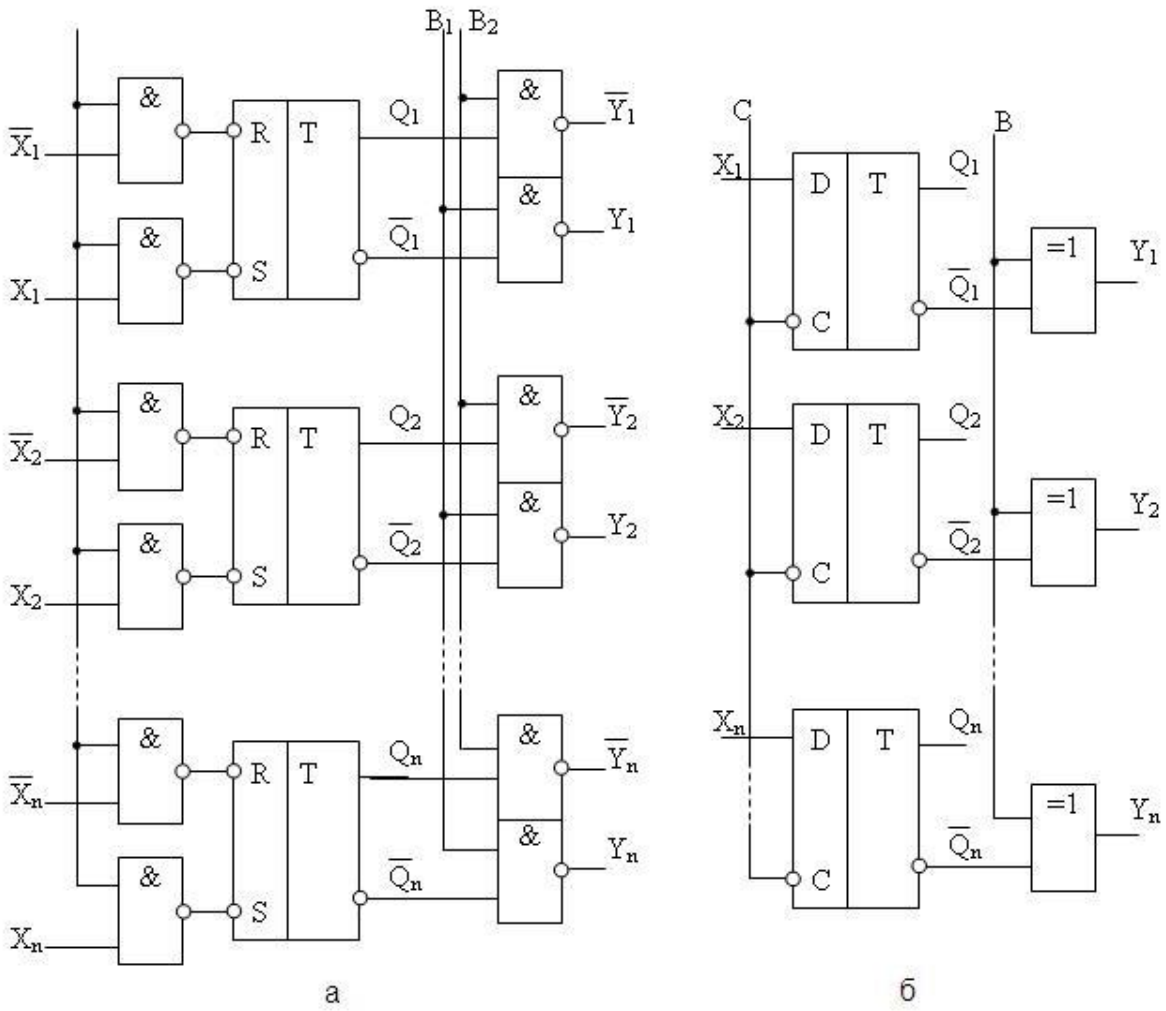


Рис.11.2

На рис.11.3 показана схема паралельного регістру на основі синхронних D-тригерів. Тут в якості вхідних, використовуються логічні елементи, що входять в схему D тригерів. Введення інформації відбувається на інтервалі синхронізації при $C = 0$. В якості вихідних, використані логічні елементи І-АБО-НЕ, які формують вихідні сигнали відповідно до виразу:

$$Y_i = \overline{\overline{B}Q_i + B\overline{Q_i}}$$

тобто при $B = 1$, $Y_i = Q_i$ та інформація із регістра видається в прямому коді, а при $B = 0$, $Y_i = \overline{Q_i}$ - в зворотному.

Якщо вираз тотожно перетворити до однієї з форм:

$$Y = \overline{\overline{B}Q_i + B\overline{Q_i}} = \overline{B \oplus Q_i} = B \oplus \overline{Q_i} = \overline{B} \oplus Q_i \,,$$

то вихідний ланцюг регістра (рис.11.3) можна реалізувати на логічних елементах ВИКЛЮЧНЕ АБО (рис.11.2-б). Вибір способу введення інформації в регістр або її виведення

зазвичай обумовлений вимогами швидкодії і умовами реалізації регістра в цифровому пристрої.

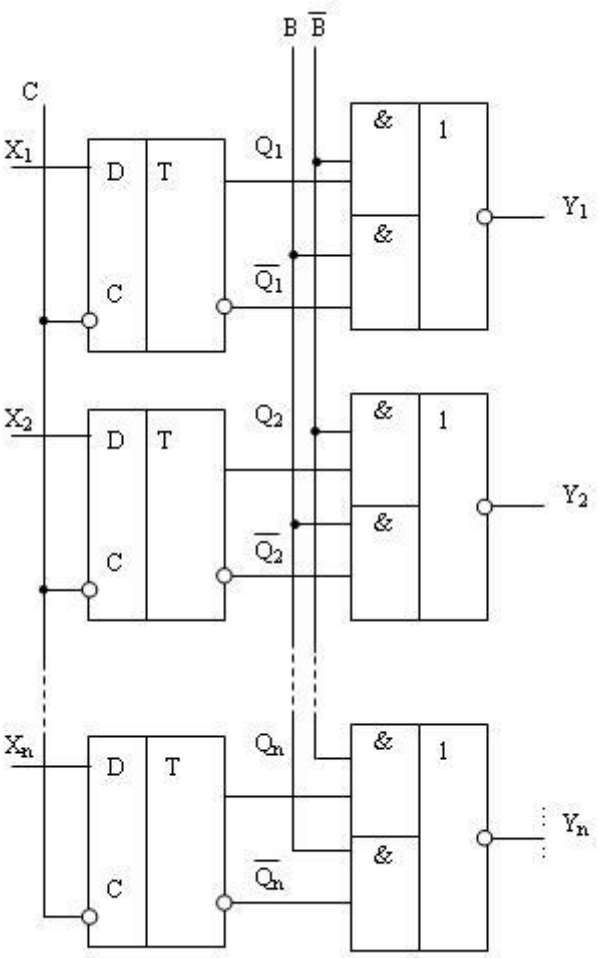


Рис.11.3

11.2. Регістри зсуву

Розглянемо послідовні, послідовно-паралельні і паралельно-послідовні регістри, які повинні виконувати операцію зсуву при послідовному введенні і / або виведення інформації. Зсув числа реалізується перезаписом станів між сусідніми тригерами регістра в напрямку зсуву. Таким чином, кожен розряд регістра одночасно приймає інформацію з попереднього розряду і передає інформацію в наступний. Щоб уникнути явища гонок ці процеси повинні бути розділені в часі. Це досягається включенням елементів лінії затримки у зв'язки між розрядами або використанням двотактних тригерів. У інтегральній схемотехніці статичні регістри зсуву будуються переважно на двотактних D- і JK-тригерах.

При однонаправленому зсуві інформації досить реалізувати безпосередні зв'язки між виходами попереднього і входами наступного тригера MS-типу (рис.11.4, 11.5).

В регістрі на D-тригерах (рис.11.4) для передачі інформації між розрядами є необхідним зв'язок між Q_j та D_{i+1}, а у випадку використання JK-тригерів (рис.11.5) - подвійний зв'язок: Q_i с J_{j+1} та $\overline{Q_i}$ с K_{i+1}.

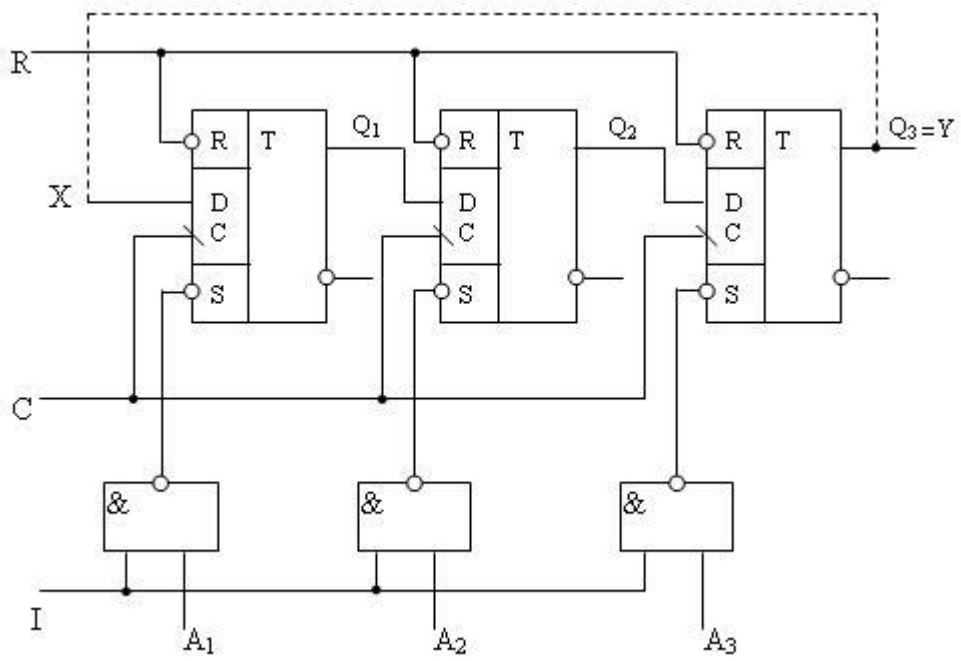


Рис.11.4

В іншому структури, принцип роботи і параметри даних регістрів аналогічні. Введення інформації може відбуватися послідовно із входу X з подальшим зсувом інформації вправо на один розряд за кожним синхроімпульсом C або паралельно із входів A_i за сигналом $I = 1$ асинхронного запису числа в попередньо очищений регістр (сигналом $R = 0$ асинхронного скидання тригерів в стан «0»).

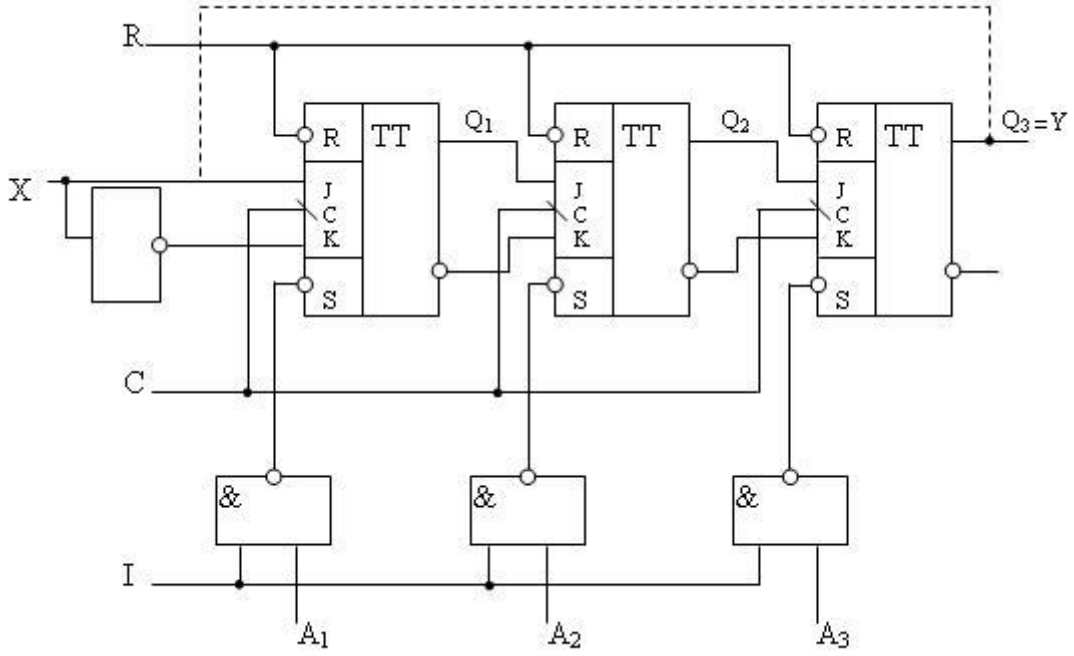


Рис.11.5

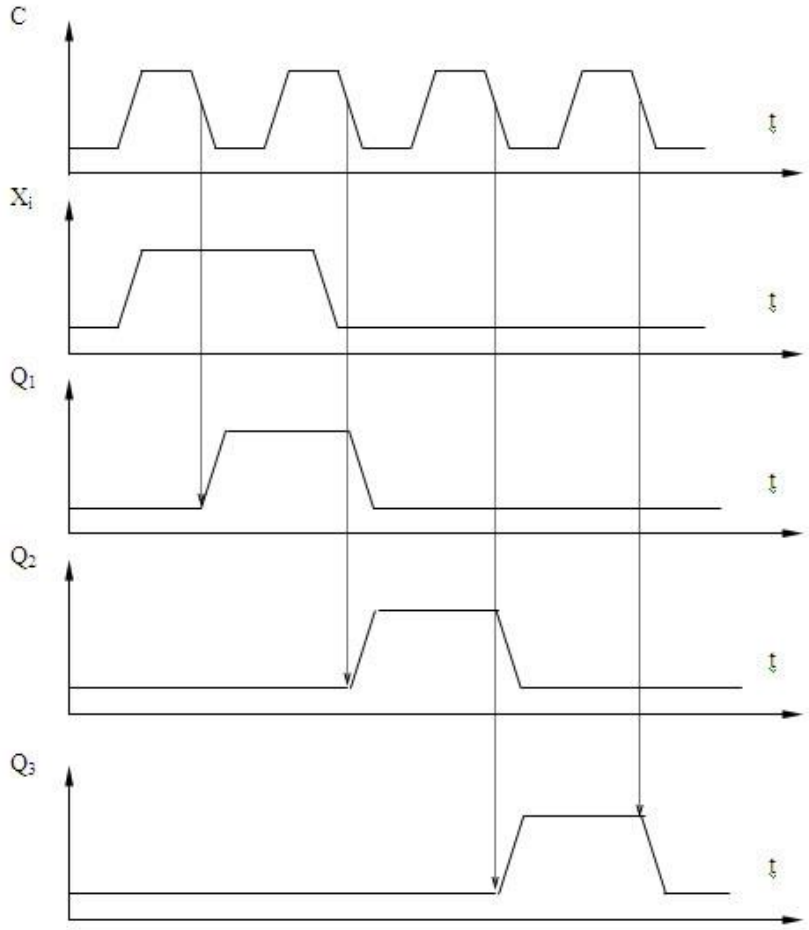


Рис.11.6

За позитивним фронтом синхроімпульсу $C = 1$ відбувається запис інформації із входів D і X в тригери перших ступенів M. Вихідні рівні тригерів при цьому залишаються незмінними (див. часову діаграму рис.11.6). За негативним фронтом синхроімпульсу входи D-тригерів ступені M блокуються і записана в них інформація передається в тригери ступені S. Відбувається переключення вихідних рівнів D-тригерів. Таким чином, реалізується послідовно-послідовний регістр із зсувом числа вправо (вхід – X, вихід – Y), послідовно-паралельний (вхід X, виходи Q_1, Q_2, Q_3) і паралельно-послідовний (входи - A_i, вихід $Y = Q_3$). Крім того, при замиканні виходу останнього розряду з послідовним входом X (штрихова лінія) реалізується кільцевий регістр зсуву. Інформація в кільцевому регістрі вводиться паралельним кодом із входів A_i і потім циркулює в замкнутому кільці під дією тактових синхроімпульсів C. Кільцеві регістри зручно використовувати для побудови, наприклад, тактових генераторів цифрових пристроїв.

У **реверсивних** регістрах зсуву для забезпечення можливості зсуву інформації в обох напрямках вихід кожного розряду повинен бути пов'язаний через логічні елементи перемикання напрямку зсуву із входами попереднього і наступного розрядів. Нехай напрямок зсуву задається логічним рівнем сигналу E так, що при $E = 0$ здійснюється зсуву вправо: $D_i = Q_{i-1}$, а при $E = 1$ відбувається зсув вліво: $D_i = Q_{i+1}$. Тоді i-й тригер реверсивного регістра зсуву повинен управлятися сигналом:

$$D_i = \overline{E}Q_{i-1} + EQ_{i+1} = \overline{\overline{\overline{E}Q_{i-1}} + \overline{EQ_{i+1}}} = \overline{\overline{\overline{E}Q_{i-1}} \cdot \overline{EQ_{i+1}}}$$

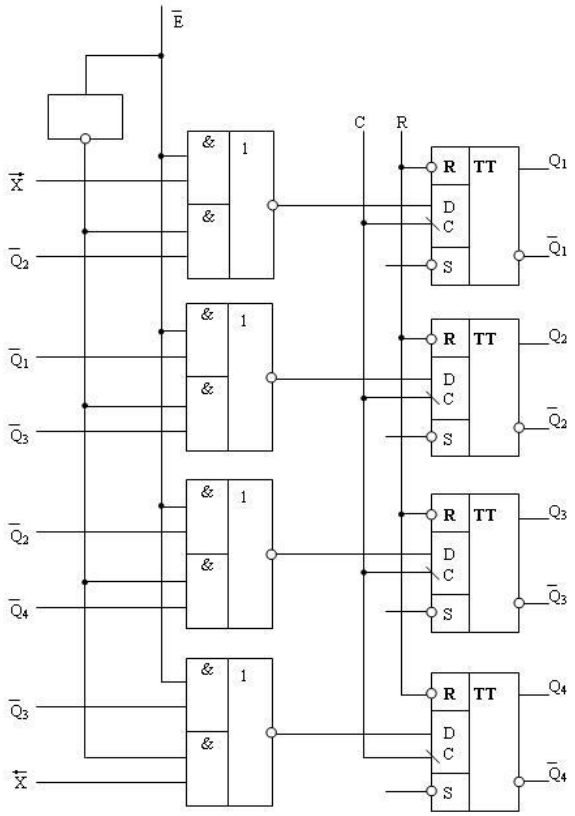


Рис.11.7

який формується логічним елементом І-АБО-НЕ (рис.11.7) або на логічних елементах І-НЕ. Для сигналу D_1 у співвідношенні використовується сигнал $\overline{Q_0} = \overrightarrow{X}$ послідовного входу при зсуві вправо або $\overrightarrow{X} = \overline{Q_4}$ при побудові кільцевого регістра зсуву вправо. Аналогічно для входу D_4 в якості сигналу використовується послідовний вхід $\overleftarrow{X}$ при зсуві вліво або $\overleftarrow{X} = \overline{Q_1}$ для кільцевого регістра зсуву вліво.

На рис.11.8 показаний варіант реверсивного регістра, що побудований на основі JK-тригерів. Сигнал на входах J_i визначається аналогічно D_i, а на виходах K_i завжди, $K_i = \overline{j_i}$ завдяки інверторів у вхідних ланцюгах.

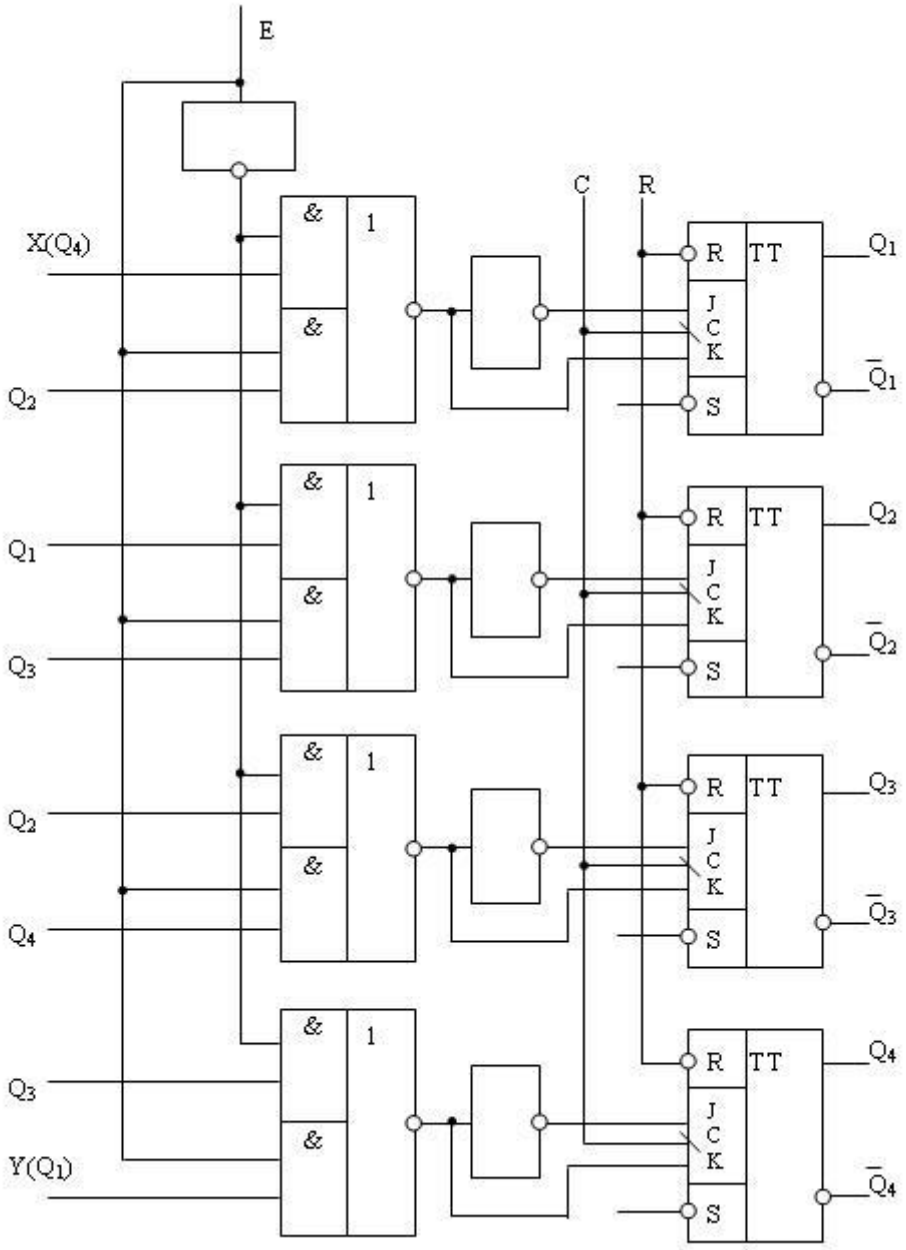


Рис.11.8

12. Лічильники (СТ)

Лічильниками називаються послідовнісні цифрові пристрої, призначені для підрахунку і запам'ятовування числа імпульсів, поданих в певному часовому інтервалі на його лічильний вхід. Крім рахункового входу лічильники можуть ще мати входи асинхронної і синхронної установки початкових станів. За характером зміни станів розрізняють лічильники додавання, віднімання і реверсивні лічильники. За способом організації переносів між розрядами їх можна розділити на лічильники з послідовним, наскрізним, паралельним і комбінованим переносом.

Основні технічні параметри лічильника – система счислення, коефіцієнт перерахунку і швидкодія.

12.1. Асинхронні двійкові лічильники

В асинхронних лічильниках відсутня загальна для розрядів синхронізація і перехід розрядів в нові стани відбувається послідовно розряд за розрядом, починаючи від вхідного, на який надходять рахункові імпульси.

Асинхронний двійковий лічильник можна виконати у вигляді ланцюжка Т-тригерів, для кожного з яких рахунковий імпульс формується тригером попереднього (молодшого) розряду (рис.12.1)

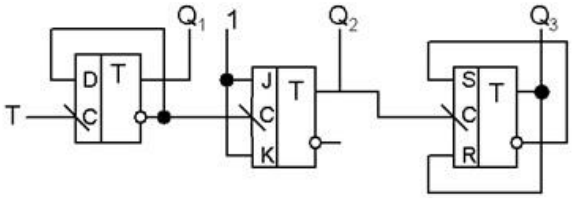


Рис. 12.1

Час установки *n*-розрядного лічильника в новий стан $t_{уст.СТ}$:

$$t_{уст.СТ} \le nt_{уст.Т.},$$

де $t_{уст.Т.}$ — час установки тригеру розрядів лічильника.

Основна перевага послідовного лічильника – мінімальні витрати мікросхем і мінімум електричних зв'язків, що спрощує розведення ліній зв'язку та підвищує завадозахищеність схеми. Головний недолік - низька швидкодія, яка тим нижче, чим більше коефіцієнт рахунку $K_{сч} = 2^n$, тобто чим більше кількість розрядів *n*.

Один із способів збільшення швидкодії асинхронних лічильників полягає в організації переносів між розрядами через додаткові логічні елементи (рис. 12.2). Керуючий сигнал А визначає режим роботи даного лічильника:

$$A = \begin{cases} 0 \text{ – режим зберігання} \\ 1 \text{ – режим рахунку} \end{cases}$$

Якщо перший тригер лічильника DD1 (рис. 12.2) знаходиться в стані «1», то наступний рахунковий імпульс T скидає його в стан «0» негативним фронтом. При A=1 до перемикання виходу Q_1=1 тригер DD1 рахунковий імпульс T через вентиль DD2 надходить у вигляді імпульсу переносу P_1 на вхід другого розряду і вентиль DD4, і якщо $Q_2=1$, то рахунковий імпульс проходить далі через вентиль DD4 і т.д. Лічильний імпульс T проходить до вентиля, на другий вхід якого надходить Q_i = 0. При цьому тригери з першого до (i-1)-го встановлюються в «0», а i-й тригер - в стан «1». У *n*-розрядному лічильнику з наскрізним переносом час установки визначається затримкою рахункового імпульсу в ланцюгах переносу $t_{зд.р.ср.И}$ і часом установки $t_{уст.Т}$ останнього з тригерів, що перемикаються:

$$t_{уст.max} = (n\text{-}1)\, t_{узд.р.ср.И} + t_{уст.Т}.$$

Тоді максимальна частота рахунку:

$$f_{сч.max} = [\, t_0 + (n\text{-}1) t_{зд.р.ср.И} + t_{уст.Т}]^{-1}$$

буде вищою, ніж частота послідовного лічильника, оскільки *n-1* вентиль I перемикаються швидше, ніж *n-1* тригер.

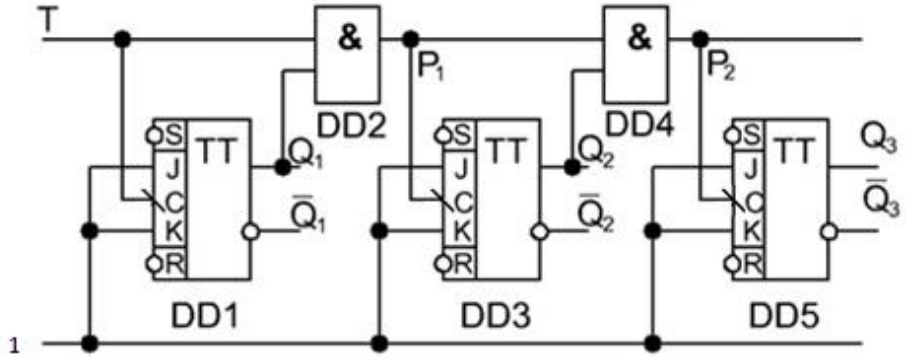


Рис.12.2

З точки зору структури, функціонування та інших параметрів варіанти асинхронних лічильників еквівалентні. Залежно від кількості розрядів *n* вони реалізують коефіцієнт рахунку $K_{сч.}=2^n$ і їх можна використовувати в якості подільників частоти:

$$f_{вых.} = f_{сч.} / K_{сч.}$$

12.2. Реверсивні двійкові лічильники

Розглянуті асинхронні лічильники відносяться до класу сумуючих. Для реалізації режиму віднімання в табл. 12.1 досить «0» замінити на «1» і навпаки, що еквівалентно зніманню інформації з інверсних виходів тригерів (табл. 12.1).

Табл. 12.1

№	Q1	Q2	Q3	P1	P2	P3
0	0	0	0	1	1	1
1	1	0	0	0	1	1
2	0	1	0	1	0	1
3	1	1	0	0	0	1
4	0	0	1	1	1	0
5	1	0	1	0	1	0
6	0	1	1	1	0	0
7	1	1	1	0	0	0
0	0	0	0	1	1	1

Якщо змінити позначення виходів тригерів (див. рис. 12.1, 12.2) Q_i на $\overline{Q_i}$ і навпаки $\overline{Q_i}$ на Q_i, то лічильник віднімання отримується послідовним з'єднанням інверсних виходів попередніх розрядів із рахунковими входами наступних розрядів Т-тригерів. Показані на рис. 12.3 Т-тригери перемикаються негативним фронтом вхідного сигналу, тобто сигналом з інверсного виходу попереднього тригеру. Як видно з рис. 12.3, б, при таких міжрозрядних зв'язках реалізується лічильник віднімання. Таким чином, єдина відмінність між лічильниками сумування і віднімання полягає в організації ланцюгів переносу з молодших розрядів в старші або способі зчитування інформації.

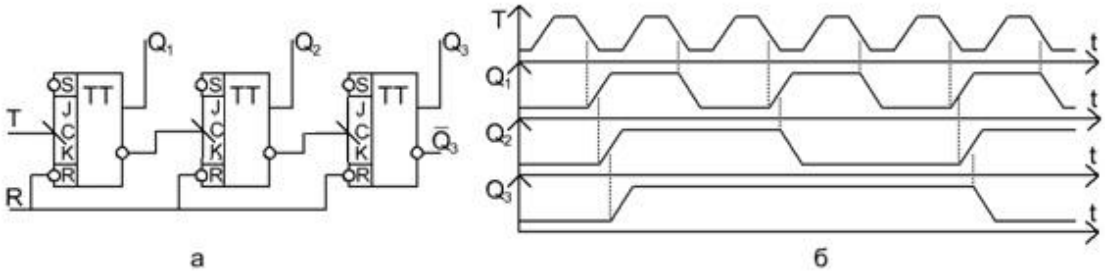


Рис.12.3

Лічильники з керованим напрямом рахунку називають реверсивними. Для побудови реверсивного лічильника необхідно між розрядами включити логічну схему, що забезпечує зв'язок рахункового входу другого і наступних розрядів з виходами Q_i (додавання) або $\overline{Q_i}$ (віднімання) тригерів попередніх розрядів. Нехай напрямок рахунку задається сигналом А так, що при А = 0 виконується рахунок з додаванням, а при А = 1 – з відніманням. Тоді сигнал переносу в і-й розряд P_i визначається логічним рівнем:

$$P_i = Q_i\overline{A} + \overline{Q_i}A = \overline{\overline{Q_i\overline{A}} \cdot \overline{\overline{Q_i}A}} = Q_i \oplus A.$$

Відповідно тотожним виразами можна реалізувати різні схемні варіанти ланцюгів переносу в реверсивних лічильниках (рис. 12.4). Реверсивний лічильник з міжрозрядною логікою управління рахунком відповідно до вищеописаного виразу показано на рис. 12.4. Включення додаткових логічних елементів між розрядами збільшує час встановлення лічильника $t_{уст.}$ і знижує максимальну частоту зміни станів, що реєструються.

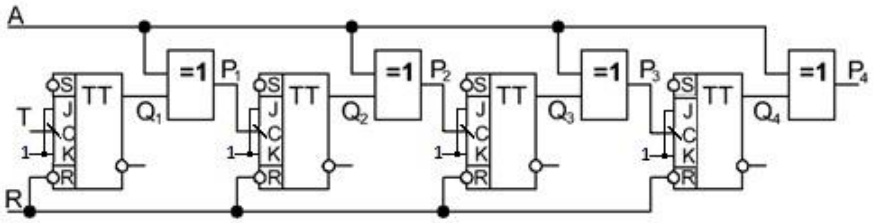


Рис.12.4

12.3. Лічильники із довільним коефіцієнтом рахунку

Часто при проектуванні цифрових пристроїв виникає необхідність в дільниках частоти, для яких $К_{сч.}$ – будь-яке ціле число. Якщо в арсеналі схемотехніка є найпростіші деталі, що вимагаються $К_{сч.}$ отримують винятком деяких станів лічильника. На рис. 12.5, а-в показані послідовні лічильники для $К_{сч.}$=3,5,7.

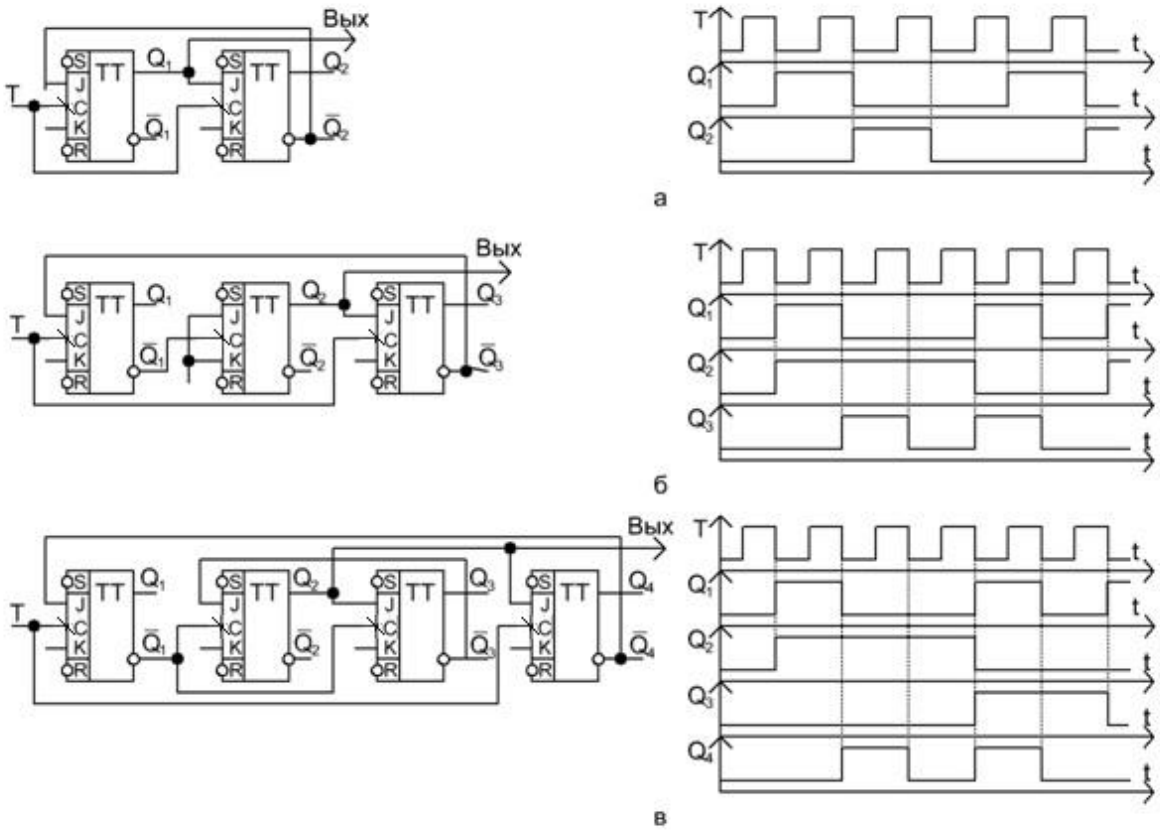


Рис.12.5

Загальний принцип побудови зображених на рис. 12.5 лічильників з непарним $К_{сч.}$ показаний на рис 12.6. Якщо між вхідним і вихідним тригерами включений дільник частоти на будь-яке натуральне число n, то така схема забезпечує розподіл частоти на $К_{сч.}=2n+1$.

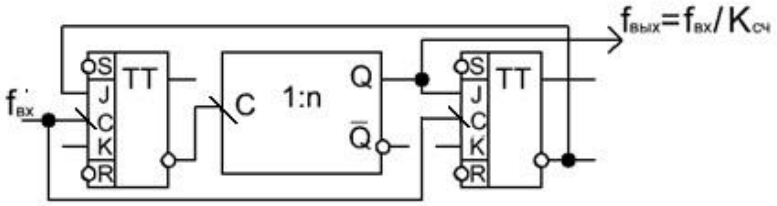


Рис.12.6

Наприклад, лічильник - дільник частоти на 3 (див. рис. 12.5, а) реалізований при n=1, що відповідає прямому зв'язку між вхідним DD1 і вихідним DD2 тригерами. Для $К_{сч.}=5$ необхідно n=2, тому між вхідним і вихідним тригерами потрібно включити один додатковий тригер – дільник частоти на 2 (рис. 12.5, б). Для реалізації $К_{сч.} = 7$ (рис. 12.5, в) використана структура (рис. 12.6) відповідно при n = 3, отриманому за допомогою схеми рис. 12.5, а.

Показання на рис. 12.5 схеми послідовних лічильників призначені в основному для використання в режимі поділу частоти без дешифрування їх станів, зміна яких при використанні структури (рис. 12.6) не відповідає двійковому рахунку.

12.4. Двійковий лічильник з керованим коефіцієнтом рахунку $К_{сч}$

При побудові лічильників з дешифрацією $К_{сч}$ станів необхідно забезпечити регулярність їх зміни відповідно до двійкового рахунку. Для їх синтезу необхідно визначити необхідну кількість тригерів N згідно співвідношення:

$$2^{N-1} \le K_{СЧ} \le 2^n$$

Крім N тригерів такий лічильник повинен містити логічну схему, що декодує стан $К_{сч}$ і формує сигнал скидання всіх розрядів в стан «0».

Якщо виникає необхідність автоматичного управління величиною $К_{сч}$ в межах $1 \le K_{СЧ} \le K_{СЧмах}$, то будується двійковий лічильник, що містить N_{max} розрядів, які визначаються з умови $N_{\max} = [\log K_{СЧ}]$, де N_{max} - найближче більше ціле число.

На рис. 12.7 наведена схема лічильника з керованим $К_{сч}$=1..15 для N_{max}=4.

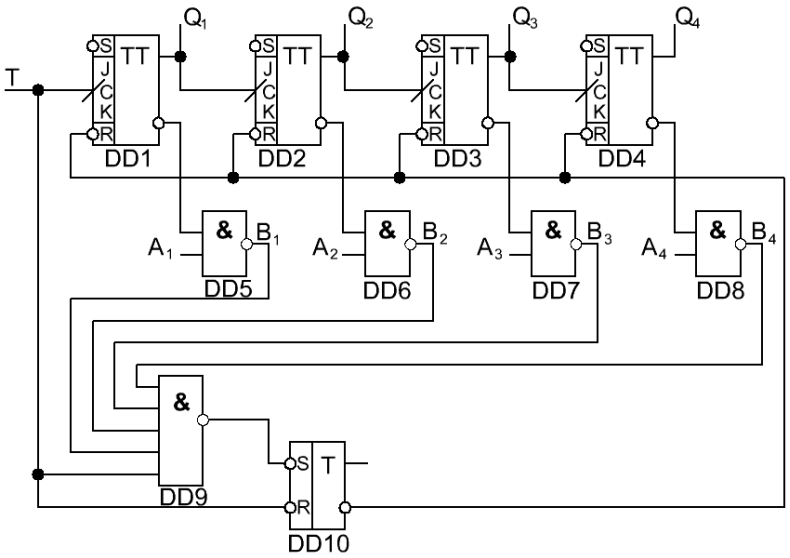


Рис.12.7

Після $К_{сч}$-1 імпульсів B_1,….,B_4 логічних елементів DD1,….,DD8 встановлюються логічні рівні:

$$B_i = \overline{\overline{Q_i} A_i} = Q_i \overline{A_i} = 1,$$

які подаються на входи схеми збігу DD9. Наступний рахунковий імпульс T = 1 через вентиль DD9 встановлює RS-тригер DD10 в одиничний стан і інверсний вихід тригера $\overline{Q} = 0$

обумовлює установку розрядів лічильника в стан «0». Таким чином, через $К_{сч}$ імпульсів лічильник повертається в початковий стан. Наприклад, для реалізації рахунку за модулем 10 на виходи А1, А2, А3, А4 необхідно подати код 1001

При нерівномірному навантаженні розрядів лічильника можливий збій - деякі розряди не встигнуть скинутися. Для виключення збою в схему скидання додають RS-тригер. Завдяки тригеру на час дії рахункового імпульсу, вхід Т забезпечує надійне скидання всього лічильника. Виняток «зайвих» станів може бути виконано за допомогою цифрового компаратора, який би порівняв стан виходів Q - лічильника з керуючим кодом А (рис. 12.8). Тут сигнал скидання лічильника R в стан «0» визначається виразом:

$$R = (Q_1 \geq A_1)(Q_2 \geq A_2)\ldots(Q_n \geq A_n) = \bigwedge_{i=1}^{n}(Q_i \geq A_i) = \bigwedge_{i=1}^{n}\overset{\geq}{F_i} = \bigwedge_{i=1}^{n}\overline{\overset{\leq}{F_i}} = \bigwedge_{i=1}^{n}\overline{\overline{Q_i}A_i}$$

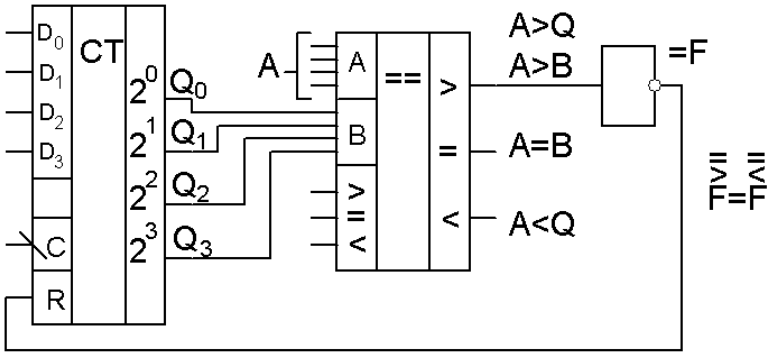


Рис.12.8

12.5. Синхронний двійковий СТ

До синхронних, або паралельних, відносяться лічильники, в яких перемикання розрядів відбувається одночасно незалежно від віддаленості розряду від лічильного входу. Це досягається подачею на всі тригери синхронізуючих імпульсів, які викликають перемикання тригерів відповідно до логіки роботи лічильника. Завдяки такій синхронізації досягається мінімальний час установки лічильника $t_{уст.СЧ.}$, яке не перевищує час установки одного тригера. Тим самим забезпечується максимальна частота зміни станів лічильника $f_{СЧ.} = \frac{1}{t_{уст.Т.}}$.

Схема синхронного лічильника додавання показана на рис. 12.9. Тут потенціал перенесення P_i формується послідовно у міру поширення «логічної 1». Накопичення затримки за рахунок вентилів ланцюга переносу обумовлює взаємне зміщення рахункових імпульсів Т та імпульсів перенесення P_i. До тих пір, поки збіг імпульсів Т та P_i внаслідок такого зсуву не порушується, лічильник працює без збоїв з максимально можливою частотою рахунку.

Перенесення з попереднього розряду визначається режимом роботи лічильника А, а також кон'юнкція Q_i:

$$P_i = AQ_1Q_2...Q_i \text{ , де:}$$

$$A = \begin{cases} 0 \text{ – режим зберігання} \\ 1 \text{ – режим лічильника} \end{cases}$$

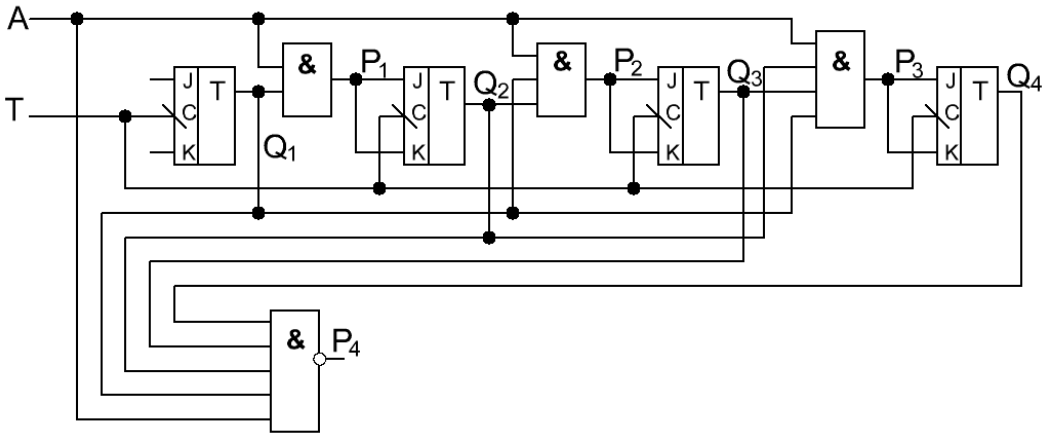


Рис.12.9

Потенціали з виходів тригерів надходять одночасно на всі вентилі переносу старших розрядів, і перемикання станів тригерів відбувається синхронно. З ростом номера розряду зростає кількість входів логічних елементів ланцюга перенесення, тому з ростом кількості розрядів N відповідно ускладнюється схема лічильника: $P_i = A \bigwedge_i Q_i$.

Якщо синхронний лічильник будується на основі секцій (наприклад, 4-розрядних), між ними так само реалізуються ланцюга паралельного переносу (рис. 12.10).

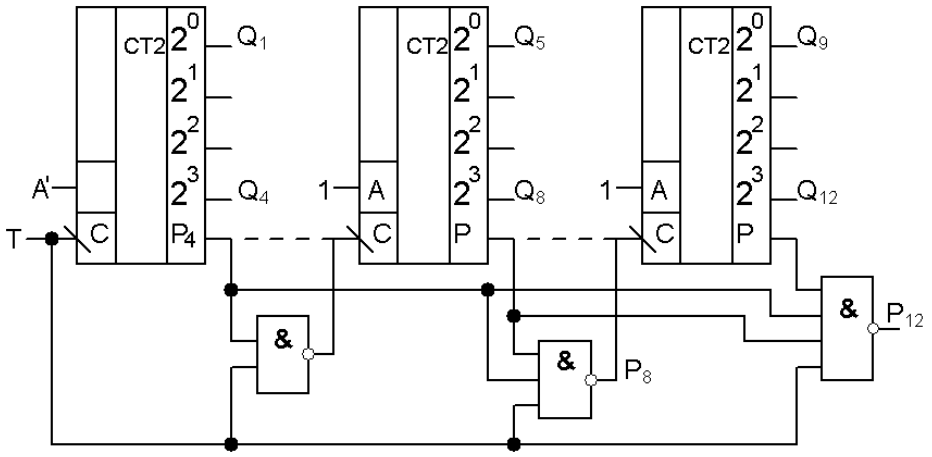


Рис.12.10

12.6. Реверсивні синхронні лічильники

Синхронний двійковий лічильник віднімання, так само як і асинхронний, реалізується зв'язками входів тригерів з інверсними виходами сигналів молодших розрядів. Як правило, такі лічильники повинні містити входи попередньої (синхронізованої) установки числа, від якого починається зворотний рахунок. Схема такого лічильника на основі JK-тригерів показана на рис. 12.11.

Сигнал A управляє станом лічильника:

$$A=\begin{cases}0 \text{ – режим зберігання}\\ 1 \text{ – режим лічильника}\end{cases}$$

Сигнал B управляє напрямком рахунку:

$$B=\begin{cases}0 \text{ – додавання}\\ 1 \text{ – віднімання}\end{cases}$$

Сигнал переносу Pi формується за випадковим збігом $1_{ць}$ виходів, а сигнал позики за випадковим збігом за: $\overline{Q_i}=1$: $P_i = BQ_1Q_2...Q_i$; $V_i = \overline{B}\,\overline{Q_1}\,\overline{Q_2}...\overline{Q_i}$.

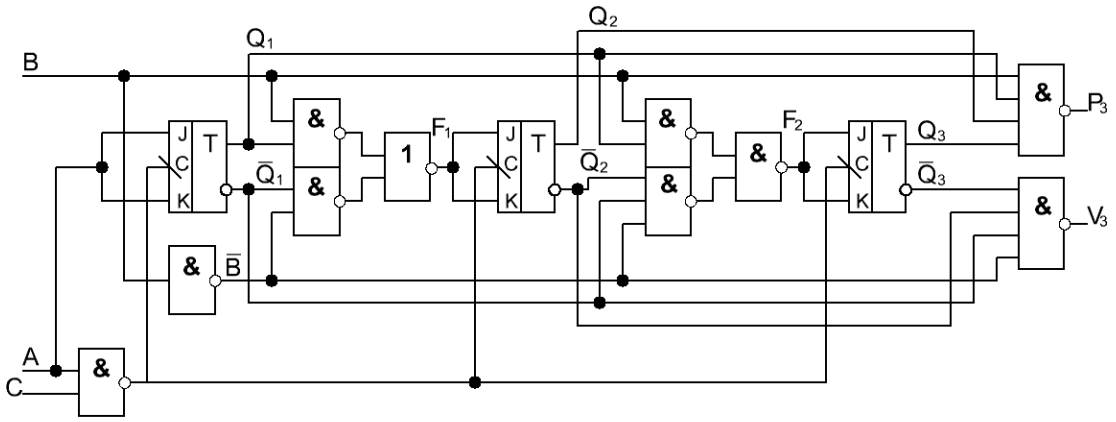


Рис.12.11

Синхронний реверсивний лічильник може бути побудований на основі секцій. На рис 12.12 приведена схема синхронного реверсивного лічильника з послідовним з'єднанням ланцюгів перенесення і позики. У такому лічильнику з К секцій час установки нового стану:

$$t_{уст.сч.} = t_{уст.T.} + K \cdot t_{зд.P(V)},$$

де $t_{зд.P(V)}$ — затримка поширення сигналу переносу ($t_{зд.P}$) або позики ($t_{зд.V}$) 3 секцій. Груповий перенос і позика так само може бути реалізований паралельно, аналогічно рис. 12.10. При цьому схема ускладнюється, але час установки нового стану мінімальний:

$$t_{уст.сч.} = t_{уст.T.}$$

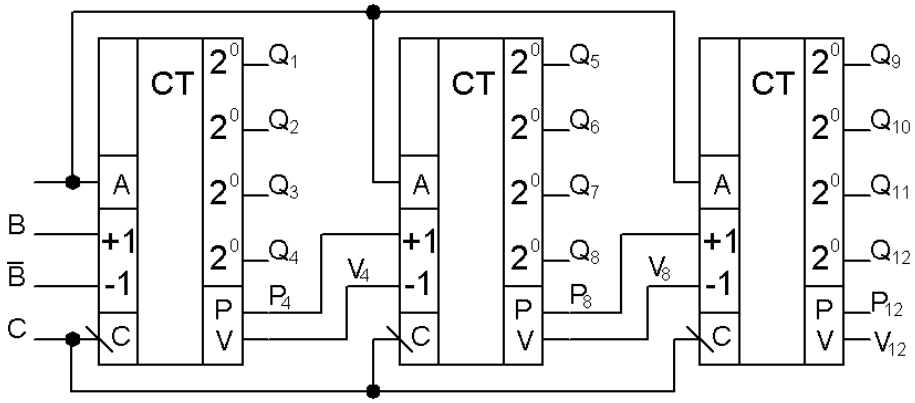


Рис.12.12

12.7. Синтез синхронних СТ з довільною таблицею переходів

Якщо потрібно побудувати синхронний лічильник з чергуванням станів, відмінним від двійкового рахунку, необхідно виконати процедуру синтезу, що включає певну послідовність операцій. При цьому в якості основних компонентів можуть бути використані будь-які тригери, що синхронізуються фронтом, в поєднанні зі схемою управління.

При будь-яких переходах з попереднього стану лічильника в наступний для кожного з типів тригерів на інформаційні входи необхідно подати сигнали, наведені в таблиці 12.2.

Табл. 12.2

Подія	**D**	**RS**		**JK**		
		R	**S**	**K**	**J**	
$0 \to 0$	0	*	0	*	0	Зберігання стану «0»
$0 \to 1$	1	0	1	*	1	Перехід із «0» в «1»
$1 \to 0$	0	1	0	1	*	Перехід із «1» в «0»
$1 \to 1$	1	0	*	0	*	Зберігання стану «1»

* в таблиці вказує на те, що для такого переходу на даний вхід можна подавати як «0» так і «1».

Основою для синтезу схем управління входами тригерів D, R, S, J, K є таблиця послідовних станів лічильника, що змінюються за фронтом синхронізуючого сигналу C. При цьому поточний стан лічильника, через логічні елементи управління входами тригерів

лічильника готує перехід всіх розрядів в новий стан, наступний безпосередньо за поточним. Тобто попередній стан однозначно визначає стан керуючих входів тригерів лічильника для переходу в наступний стан. Тоді повний набір станів лічильника визначає функції управління кожним із входів, а аргументами цих функцій є стани всіх виходів тригерів на попередньому кроці функціонування. Знаходження і реалізація таких функцій управління і становить суть завдання синтезу.

Розглянемо процедуру синтезу синхронного лічильника на прикладі. Нехай необхідно побудувати 4-розрядний лічильник з переходами згідно таблиці 12.3.

Табл. 12.3

N	Q_4	Q_3	Q_2	Q_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	0	1	0
4	0	1	1	0
5	0	1	1	1
6	0	1	0	1
7	0	1	0	0
8	1	1	0	0
9	1	1	0	1
10	1	1	1	1
11	1	1	1	0
0	0	0	0	0

Зазвичай синхронні лічильники будуються на однотипних тригерах. В даному прикладі для ілюстрації ми виберемо різні тригери. Нехай Q_4 і Q_1 формуються D-тригерами, Q_2 - RS-тригером і Q_3 - JK-тригером.

Для знаходження функції управління D-тригером виходом Q_1 побудуємо карту Карно, аргументами якої є всі змінні Q_1, Q_2, Q_3, Q_4 з таблиці. Початковий стан $Q_4=Q_3=Q_2=Q_1=0$ має обумовлювати перехід в стан $Q_4=Q_3=Q_2=0$ та $Q_1=1$, як випливає із таблиці 12.2, для цього комбінація $Q_4=Q_3=Q_2=Q_1=0$ повинна забезпечити на вході тригера Q_1 стан $D_1 = 1$, вписуємо в клітинку карти Карно «1». Аналогічно заповнюємо всі клітини карти Карно, що відповідають станам таблиці 12.3

D_1=

Q_4Q_3 \ Q_2Q_1	**00**	**01**	**11**	**10**
00	**1**	**1**	**0**	**0**
01	**0**	**0**	**1**	**1**
11	**1**	**1**	**0**	**0**
10	*****	*****	*****	*****

У карті Карно знаком * позначені стани, не передбачені таблицею 12.3. Тобто в ці клітинки можна вписувати будь-які значення, які мінімізують функцію D_1. З карти Карно знаходимо МДНФ та МКНФ:

$$\text{МДНФ: } D_1 = \overline{Q_3}\,\overline{Q_2} + Q_4\overline{Q_2} + \overline{Q_4}Q_3Q_2$$

$$\text{МКНФ: } D_1 = (\overline{Q_4} + \overline{Q_2}) \cdot (Q_3 + \overline{Q_2}) \cdot (Q_4 + \overline{Q_3} + Q_2)$$

Для RS-тригеру, що формує сигнал Q_2, знаходимо функції управління входами R_2, S_2 з врахуванням таблиці подій 12.2:

R_2=

Q_4Q_3 \ Q_2Q_1	**00**	**01**	**11**	**10**
00	**-**	**0**	**0**	**0**
01	**-**	**-**	**1**	**0**
11	**-**	**0**	**0**	**1**
10	*****	*****	*****	*****

S_2=

Q_4Q_3 \ Q_2Q_1	**00**	**01**	**11**	**10**
00	**0**	**1**	**-**	**-**
01	**0**	**0**	**0**	**-**
11	**0**	**1**	**-**	**0**
10	*****	*****	*****	*****

Із карт Карно знаходимо:

$$\text{МДНФ: } R_2 = \overline{Q_4}Q_3Q_1 + Q_4Q_1;\ S_2 = Q_4Q_1 + \overline{Q_3}Q_1.$$

$$\text{МКНФ: } R_2 = Q_3 \cdot (\overline{Q_4} + \overline{Q_1}) \cdot (Q_4 + Q_1);\ S_2 = Q_1 \cdot (Q_4 + \overline{Q_3}).$$

Для JK-тригеру, що формує сигнал Q_3, знаходимо функції керування входами J_3, K_3:

K_3=

Q_4Q_3 \ Q_2Q_1	00	01	11	10
00	-	-	-	-
01	0	0	0	0
11	0	0	0	1
10	*	*	*	*

J_3=

Q_4Q_3 \ Q_2Q_1	00	01	11	10
00	0	0	0	1
01	-	-	-	-
11	-	-	-	-
10	*	*	*	*

Із карт Карно знаходимо:

МДНФ: $K_3 = Q_4 Q_2 \overline{Q_1}$; $J_3 = Q_2 \overline{Q_1}$.

МКНФ: $K_3 = Q_4 Q_2 Q_1$; $J_3 = Q_2 \overline{Q_1}$.

Для D-тригеру, що формує сигнал Q_4, знаходимо функцію керування входом D_4:

D_4=

Q_4Q_3 \ Q_2Q_1	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	1	0
10	*	*	*	*

Із карти Карно знаходимо:

МДНФ: $D_4 = Q_3 \overline{Q_2}\,\overline{Q_1}$.

МКНФ: $D_4 = Q_3 \cdot (Q_4 + \overline{Q_1}) \cdot (\overline{Q_2} + Q_1)$.

Вибираємо застосовуваний для використовуваної технології базис логічних елементів. Якщо доцільно використовувати елементи І-НЕ, отримані вирази необхідно перетворити:

$$D_1 = \overline{\overline{\overline{Q_3}\,\overline{Q_2} + Q_4\overline{Q_2} + \overline{Q_4}Q_3Q_2}} = \overline{\overline{\overline{Q_3}\,\overline{Q_2}} \cdot \overline{Q_4\overline{Q_2}} \cdot \overline{\overline{Q_4}Q_3Q_2}}\ ;$$

$$R_2 = \overline{\overline{\overline{Q_4}Q_3Q_1 + Q_4Q_1}} = \overline{\overline{\overline{Q_4}Q_3Q_1} \cdot \overline{Q_4Q_1}}\ ;$$

$$S_2 = \overline{\overline{Q_4Q_1 + \overline{Q_3}Q_1}} = \overline{\overline{Q_4Q_1} \cdot \overline{\overline{Q_3}Q_1}}\ ;$$

$$K_3 = \overline{\overline{Q_4Q_2\overline{Q_1}}}\ ;\ J_3 = \overline{\overline{Q_2\overline{Q_1}}}\ ;\ D_4 = \overline{\overline{Q_3\overline{Q_2}\,\overline{Q_1}}}\ .$$

Згідно з отриманими виразами для обраних типів тригерів будуємо схему синхронного лічильника (рис. 12.14):

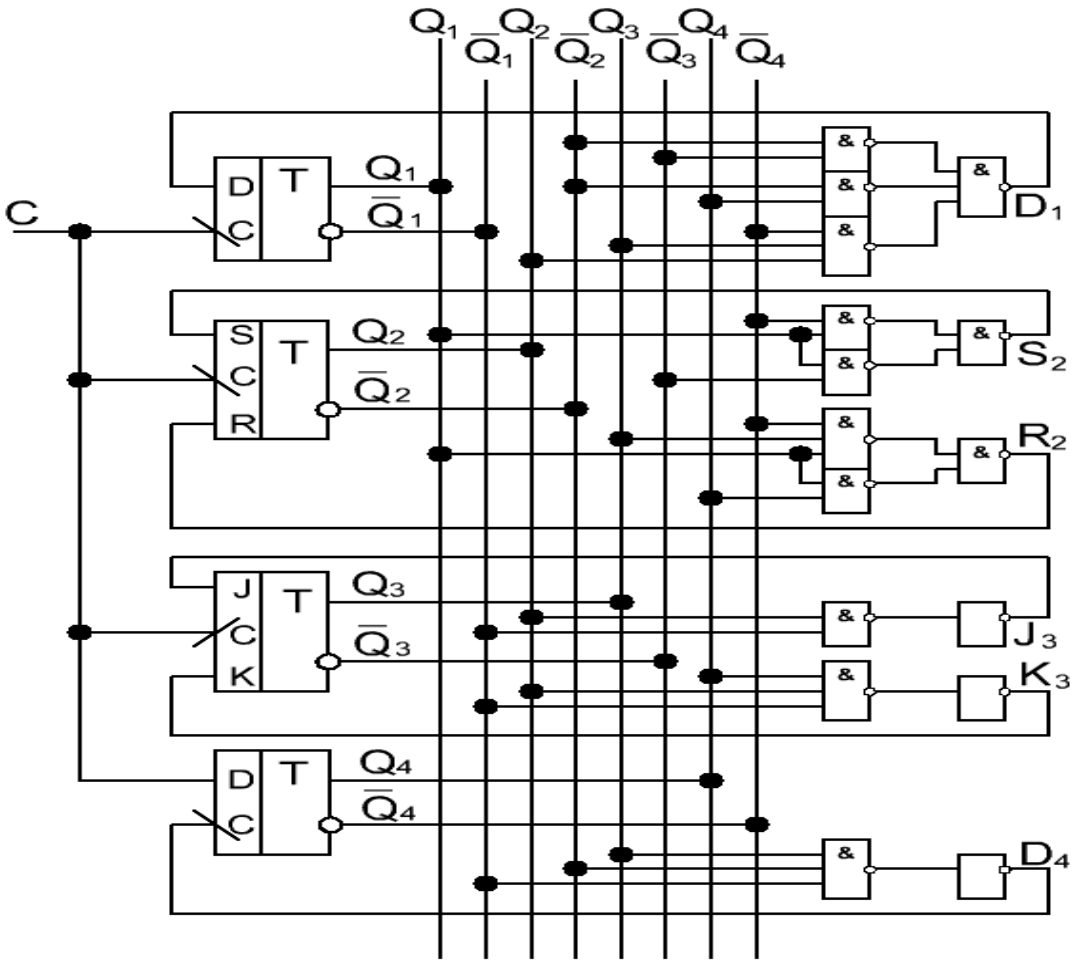


Рис.12.14

Аналогічно, використовуючи тотожні перетворення МКНФ, можна синтезувати схеми управління в інших базисах (АБО-НЕ, І-АБО-НЕ).

Таким чином, синтез синхронного лічильника з довільною таблицею переходів включає наступні кроки:

1. Складання таблиці переходів.
2. Вибір типу тригерів
3. Складання карти Карно для кожного інформаційного входу тригерів
4. Знаходження МДНФ та МКНФ.
5. Перетворення МДНФ, МКНФ до виду, відповідному обраному типу логічних елементів.
6. Складання принципової схеми лічильника.

12.8. Синхронний лічильник з мультиплексорним керуванням

Схеми управління тригерами можуть бути реалізовані на мультиплексорах. Найбільш просто лічильники з довільною таблицею переходів реалізуються на D-тригерах, що мають один керуючий вхід. При цьому виходи тригерів підключаються до адресних входів A_i, а виходи мультиплексорів керують інформаційними входами D-тригерів. На інформаційні входи мультиплексорів подають кодові комбінації, що визначають наступний стан лічильника.

Нехай необхідно реалізувати послідовність станів синхронного лічильника, яка визначається таблицею 12.4.

Табл. 12.4

N	A	Q1	Q2	Q3
0	0	0	0	0
1	2	0	1	0
2	3	0	1	1
3	5	1	0	1
4	7	1	1	1
5	1	0	0	1
6	4	1	0	0
7	6	1	1	0
8	0	0	0	0

Із стану з номером «0», коли Q_1=0, Q_2=0, Q_3=0 лічильник повинен перейти в стан «1», коли Q_1=0, Q_2=1, Q_3=0. Для цього на входи мультиплексорів з адресою A_0=Q_1=0, A_1=Q_2=0, A_2=Q_3=0 необхідно подати комбінацію сигналів «010», яка наступним синхроімпульсом буде занесена в тригери лічильника. Зміна стану лічильника змінює відповідно номер інформаційних входів мультиплексорів, з яких в лічильник буде занесена наступна комбінація сигналів. Лічильник, який реалізує переходи згідно з таблицею 12.4 наведено на рис. 12.15.

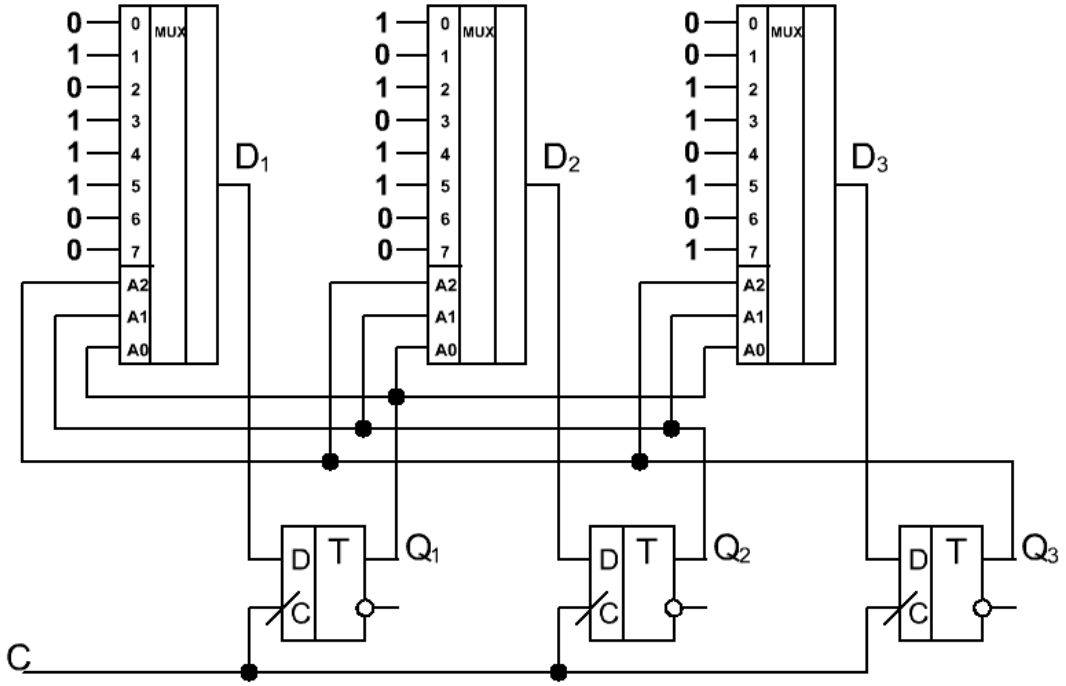


Рис.12.15

12.9. Синхронний лічильник зі схемою керування на дешифраторі

Оскільки повний цикл роботи *n*- розрядного лічильника складається з *N* станів, причому $N \le 2^m$, кожний стан може бути дешифрований і представлений унітарним кодом "*1 із N*". Тобто дешифрований попередній стан лічильника однозначно визначає необхідні керуючі сигнали на інформаційних входах тригерів (*D, R, S, J, K*) для реалізації наступного стану. Зауважимо, що для *D*-тригерів обидва логічних рівня («0» і «1») є активними, а на входи *RS*- і *JK*- тригерів необхідно подавати активні рівні тільки у випадку зміни стану на протилежний. Це визначається заданою таблицею переходів з попереднього стану лічильника у наступний.

Розглянемо приклад синтезу синхронного лічильника з дешифратором станів для наступної таблиці змін станів (табл. 12.5).

Табл.12.5

Вага	*N* стану	0	1	2	3	4	5	6	7	8	9	0
2^0	Q_1	0	1	1	1	1	0	0	0	1	0	0
2^1	Q_2	0	0	1	1	1	1	0	0	0	1	0
2^2	Q_3	0	0	0	1	1	1	1	0	0	0	0
2^3	Q_4	0	0	0	0	1	1	1	1	1	1	0
	Y_i	Y_0	Y_1	Y_3	Y_7	Y_{15}	Y_{14}	Y_{12}	Y_8	Y_9	Y_{10}	Y_0

Якщо виходи тригерів Q_1, Q_2, Q_3, Q_4 з'єднати зі входами X_i дешифратора так, що $Q1 = X_0$, $Q_2=X_1$, $Q_3=X_2$, $Q_4=X_3$, де входи дешифратора відповідають двійковому коду «1-2-4-8», то на виходах дешифратора X_i встановлюється "1 із N" високий рівень, як показано у табл..12.5 (нижня строчка). На інших виходах дешифратора формується низький рівень. Зрозуміло, що для керування станом *D*-тригерів на інформаційний вхід *D* необхідно підключати стільки виходів дешифратора, скільки передбачено табл.12.5 установок у стан «1». Наприклад, для *D*-тригера першого розряду Q_1 необхідно сформувати керуючий сигнал у формі диз'юнкції:

$$D_1 = Y_0+Y_1+Y_3+Y_7+Y_8.$$

При інших станах такий тригер скидається я у стан «0». З точки зору витрат логічних елементів для керування *D*-тригером такі тригери менш доцільні, оскільки вимагають керування на кожному такті рахування. На відміну від *D*-тригерів *RS*- і *JK*-тригери вимагають керуючих дій лише в разі зміни станів при переході від попереднього стану до наступного. Так, при використанні у першому розряді Q_1 *RS*-тригера перехід від стану «0» до «1» здійснюється при переходах, коли вихід Y_0 дешифратора обумовлює перехід $Y_0 \rightarrow Y_1$ та вихід Y_8 перехід $Y_8 \rightarrow Y_9$. Тобто на вході S тригера необхідно сформувати диз'юнкцію:

$$S_1=Y_0+Y_8.$$

Відповідно, скидання зі стану «1» у стан «0» здійснюється при переходах $Y_{15} \rightarrow Y_{14}$ та $Y_9 \rightarrow Y_{10}$, тобто

$$R_1=Y_{15}+Y_9.$$

Розглядаючи табл.12.5 для *RS*-тригерів інших розрядів, можна записати вирази для керування відповідними входами:

$$S_2=Y_1+Y_9,\ R_2=Y_{14}+Y_{10},\ S_3=Y_3,\ R_3=Y_{12},\ S_4=Y_7,\ R_4=Y_{10}.$$

Для входів J і K JK-тригерів отримаємо аналогічні вирази, маючи на увазі, що $S_i \equiv J_i$, $R_i \equiv Ki$, тому використання більш складних JK-тригерів у таких лічильника недоцільно. На рис. 12.16 наведена схема синтезованого синхронного лічильника з дешифратором.

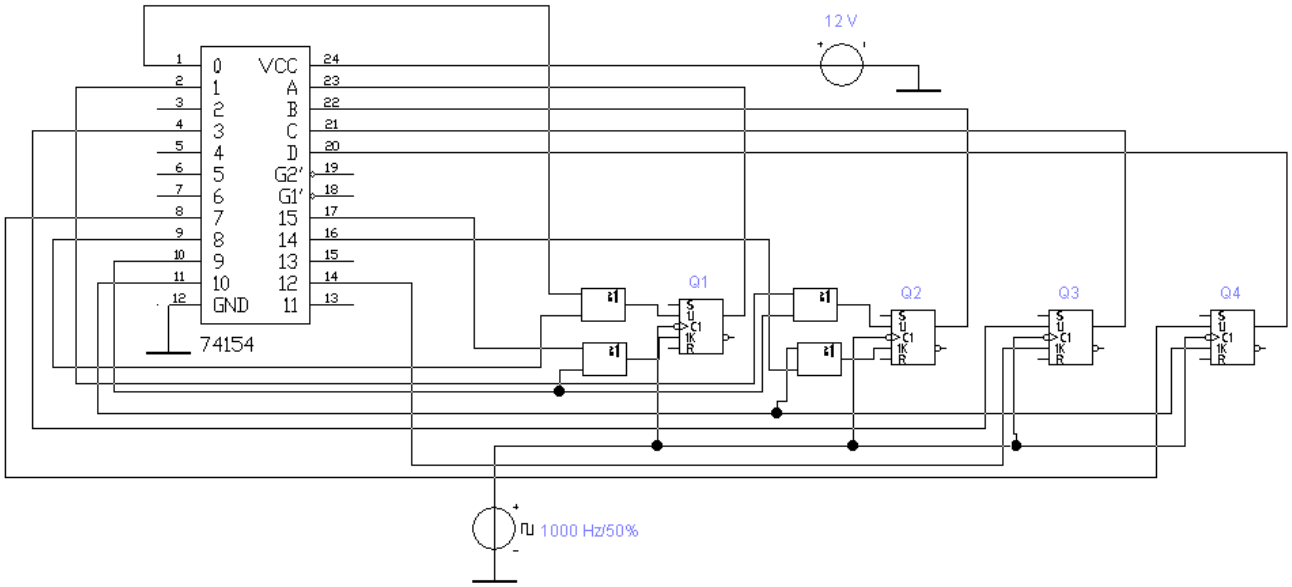


Рис. 12.16

На рис. 12.16 JK-тригери використовуються у якості RS-тригерів.

Оскільки не усі стани лічильника згідно табл..12.5 у нашому випадку використані, відповідні виходи дешифратора залишаються невикористаними. Можливі варіанти таких лічильників при використанні дешифраторів з інверсними виходами і/або тригерів з інверсними входами.

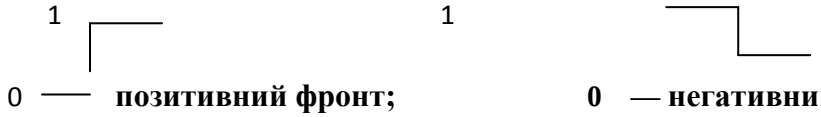
13. Імпульсні пристрої

Імпульсні пристрої - пристрої імпульсної техніки, призначені для генерування, формування, посилення, передачі і перетворення імпульсів. До них відносяться імпульсні генератори, тригери, мультивібратори, лічильники.

Імпульсний підсилювач - пристрій імпульсної техніки, призначений для посилення імпульсів струму або напруги. Він не має значних відмінностей принципової схеми посилення, розробленої для безперервних, наприклад, синусоїдальних сигналів.

13.1. Детектори фронтів імпульсів

Це функціональні елементи, призначені для формування імпульсу із заданими параметрами у моменти перемикання вхідного сигналу.



позитивний фронт; **— негативний фронт**

Параметрами вихідного сигналу є амплітуда U_2 та тривалість $t_и$.

13.1.1. Детектор позитивного фронту (ДПФ)

Детектор позитивних фронтів сигналу U_1 наведений на рис.13.1. На кожне позитивне перемикання сигналу U_1 на виході схеми формується позитивний імпульс з амплітудою

$$U_2 = U^1 - U^0$$

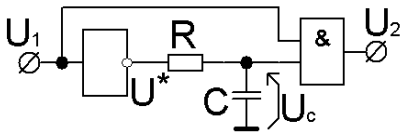


Рис.13.1

і тривалістю :

$$t_1 = \tau^{10} \ln[(U^0-U^1)|(U^0-U_{пор})] = C(R^0_{вих} + R) \ln[(U^0-U^1)|(U^0-U_{пор})],$$

де U^0 — рівень логічного нуля; U^1 — рівень логічної одиниці, $U_{пор}$ – порогова напруга перемикання логічного елемента НЕ, $R^0_{вих}$ – вихідний опір інвертору у стані «0».

13.1.2. Детектор негативного фронту (ДНФ)

Детектор позитивних фронтів сигналу U_1 наведений на рис.13.2. На кожне негативне перемикання сигналу U_1 на виході схеми формується позитивний імпульс з амплітудою

$$U_2 = U^1 - U^0$$

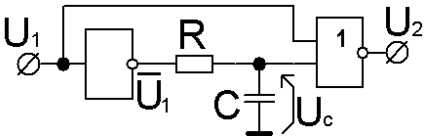


Рис.13.2

і тривалістю:

$$t_2 = \tau^{01} ln[(U^1-U^0)|(U^1-U_{пор})] = C(R^1_{вих}+R)\, ln[(U^1-U^0)|(U^1-U_{пор})],$$

де U^0 — рівень логічного нуля; U^1 — рівень логічної одиниці, $U_{пор}$ – порогова напруга перемикання логічного елемента АБО-НЕ, $R^1_{вих}$ – вихідний опір інвертору у стані «1».

13.1.3. Детектор фронтів (ДФ)

Детектор фронтів сигналу U_1 наведений на рис.13.3. На кожне перемикання сигналу U_1 на виході схеми формуються позитивні імпульси з амплітудою

$$U_2 = U^1 - U^0$$

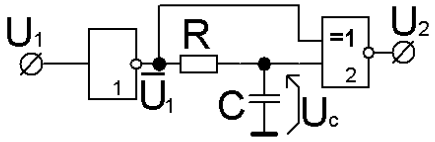


Рис.13.3

і тріваліcтями почергово t_1 і t_2.

13.2. Розширювач імпульсів

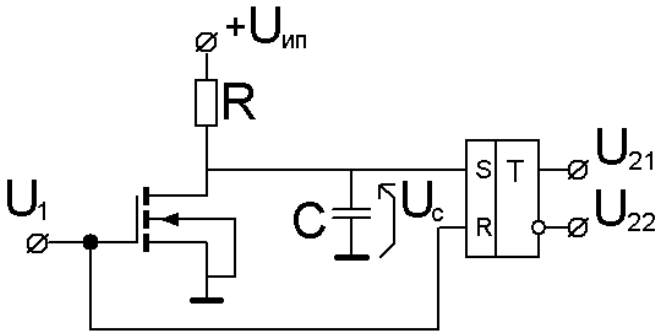


Рис.13.4

В системах передачі інформації нерідко потрібно із коротких імпульсів одержувати більш широкі, певної тривалості. Це завдання легко реалізується за допомогою очікуючого мультивібратора (одновібратора). Одновібратор генерує одиничний вихідний імпульс тривалістю $t_{вих}$ на кожний вхідний імпульс тривалістю $t_{вх}$ зовнішнього керуючого сигналу. При цьому мається на увазі, що імпульс, який формується, перевищує тривалість імпульсу, який запускає схему, тобто

$$t_{вих} = t_{вх} + \Delta t.$$

Для правильної роботи даного одновібратора необхідно, щоб тривалість вхідного імпульсу $t_{вх}$ була достатньою, щоб конденсатор встиг повністю розрядитися. Після закінчення вхідного $t_{вх}$ імпульсу конденсатор заряджається через резистор R до величини напруги живлення $U_{ип}$. При цьому, як тільки напруга досягне $U_{пор}$, RS-тригер переключиться. У цьому випадку додаткова тривалість вихідного імпульсу Δt залежить від номіналів встановлених ємності C і резистора R. Спрощена формула дозволяє орієнтовно розрахувати додаткову тривалість імпульсу:

$$\Delta t = RC \ln [U_{ип}/(U_{ип} - U_{пор})],$$

де $U_{ип}$ - напруга живлення схеми; $U_{пор}$ — рівень порогу переключення RS-тригеру, що використовується.

13.3. Одновібратори (ОВ)

При роботі з цифровими пристроями досить часто потрібно формувати імпульси певної амплітуди і тривалості. Цю функцію виконують спеціальні пристрої - одновібратори. Це спускові пристрої, які у відповідь на кожний вхідний імпульс генерують вихідний імпульс із потрібною амплітудою U_2 і тривалістю $t_и$. Такі формувачі імпульсів можуть бути реалізовані на логічних елементах і визначаючих часові параметри компонентах R і C..

13.3.1. ОВ на логічних елементах І-НЕ

Схема ОВ на логічних елементах І-НЕ наведена на рис. 1

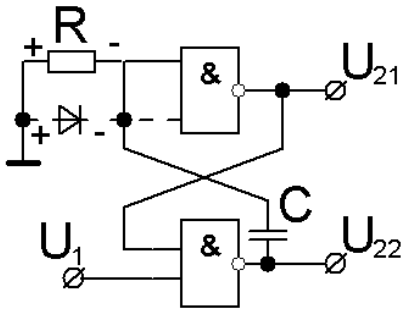


Рис.13.5

У схемі найпростішого одновібратора є два логічних елемента,причому один з них використовується за своїм прямим призначенням - як логічний елемент 2І-НЕ а другий як інвертор.

При проведенні дослідів і експериментів з одновібратором враховуйте, що для нормальної його роботи тривалість імпульсу, що запускає повинна бути менше тривалості вихідного імпульсу, що генерується.

Тривалість імпульсу, що формується одновібратором, можна обчислити виходячи з умови розряду конденсатора *C*. Дійсно, поки конденсатор *C* розряджається до рівня граничної напруги $U_{пор}$, напруга U_2 сприймається елементом "2 І-НЕ" як рівень логічної одиниці і на його виході підтримується рівень логічного нуля. З плином часу напруга на конденсаторі *C* стає рівному $U_{пор}$ і на виході елемента "2 І-НЕ" з'явиться рівень логічної одиниці. Якщо вважати, що напруга до початку розряду на конденсаторі дорівнювала напрузі рівня логічної одиниці U^1, то зміна напруги U_C з плином часу можна представити як експоненту зі сталою $\tau \approx RC$, тому тривалість вихідного імпульсу $t_и$ дорівнює часу розряду конденсатора до граничного значення $U_{пор}$ визначається співвідношенням:

$$t_и = RC \ln \frac{U^1}{U_{пор}}$$

13.3.2. ОВ на логічних елементах АБО-НЕ

На рис. 13.6 наведена схема одновібратора на логічних елементах НЕ (1) та АБО-НЕ (2) . Як варіант, у якості інвертора 1 може бути використаний логічний елемент АБО-НЕ з об'єднаними входами.

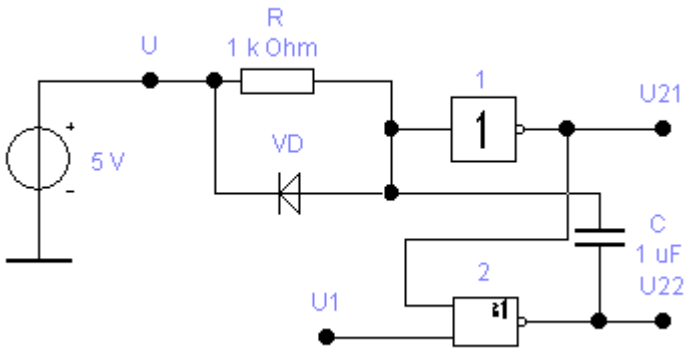


Рис.13.6

Одновібратор, виконаний за схемою, наведеною на рис.13.6, працює таким чином: в початковому стані пристрою на виході $\boldsymbol{U_{21}}$ інвертора (1) діє низький рівень напруги, підтримуваний вхідною напругою від джерела живлення $\boldsymbol{U_{ип}}$. При низькому рівні на вході U_1 одновібратора на виході логічного елемента АБО-НЕ (2) діє високий рівень, завдяки чому конденсатор *C* практично розряджений. Короткий позитивний вхідний імпульс U_1 перемикає логічний елемент АБО-НЕ (2) і через конденсатор *C* вихідний рівень інвертора 1 у стан «0». На етапі формування тривалості вихідного імпульсу одновібратора конденсатор *C* заряджається через резистор ***R*** і вихідний опір логічного елемента АБО-НЕ (2) $R^0_{вих}$ зі сталою експоненціальної функції $\tau_з = C(R + R^0_{вих})$. Процес формування вихідного імпульсу завершується при досягненні вхідної напруги інвертора 1 порогового рівня $U_{пор}$. В результаті на виході U_{21} одновібратора формується прямокутний позитивний, а на виході U_{22} – негативний імпульси тривалістю $t_и$:

$$t_и = \tau_з \ln [(U_{ип} / (U_{ип} - U_{пор})] \ .$$

На етапі відновлення одновібратора до наступного запускаючого імпульсу конденсатор *C* розряджається через вихідний опір $R^1_{вих}$ логічного елемента АБО-НЕ (2) у стані логічної «1» і через опір $r_{пр}$ діода *VD* зі сталою експоненти $\tau_з = C(R^1_{вих}+r_{пр})$. Час відновлення $t_в$ одновібратора дорівнює:

$$t_в \approx 3\,\tau_з = 3\,C(R^1_{вих}+r_{пр}).$$

13.3.3. ОВ на RS – тригері

На рис 13.7 наведена схема одновібратора на основі RS-тригера. Ланцюг зворотного зв'язку з резистора *R* і конденсатора C між виходом тригера Q і входом скидання R триггера визначає часові параметри вихідного сигналу.

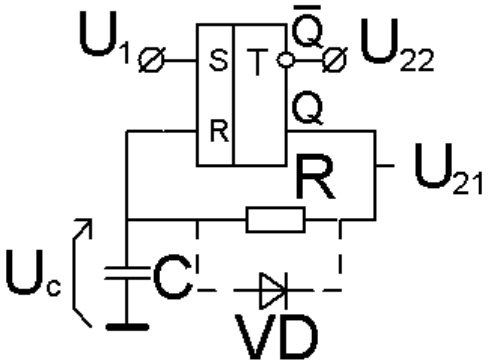


Рис.13.7

Розглянемо ланцюг зарядки і розрядки конденсатора C_1 в одновібраторі. На етапі формування часового інтервалу $t_и$ конденсатор заряджається від «0» (точніше, від залишкової напруги U^0) до граничної напруги $U_{пор}$ по ланцюгу: $R_{вих}$- *R*- *C*- загальний провід зі сталою експоненти $\tau_з = C(R_{вих}+R)$.

Тривалість процесу заряджання визначає тривалість вихідного імпульсу $t_и$:

$$t_и = \tau_з \ln [(U^1-U^0)/(U^1-U_{пор})].$$

На етапі відновлення конденсатор розряджається від $U_{пор}$ до 0 через діод *VD* і вихідний опір тригера $R_{вих}$ зі сталою експоненти

$$\tau_{роз} = C(R+R^0_{вих}).$$

Тривалість відновлення $t_в$ можна оцінити як $3\tau_{роз}$, тобто

$$t_в \approx 3\,\tau_{роз} = 3C(R+R^0_{вих}).$$

Діод практично повністю закривається при зменшенні напруги на ньому нижче 0,5 ... 0,6 В, і конденсатор закінчує розрядку з такою ж сталою часу, як і при формуванні часового інтервалу. Таким чином, при посиленні вимог до залишкової напруги на конденсаторі час відновлення збільшується, обмежуючи допустиму частоту проходження імпульсів при заданій похибці тривалості відновлення.

Описаний одновібратор на RS-тригері має просту структуру і формує два протифазних прямокутних імпульси. Однак йому притаманні і деякі недоліки. По-перше, заряд конденсатора *C* відбувається через вихідний опір тригера, що обумовлює деяке порушення прямокутності сигналу U_{21} на прямому виході тригеру. Зміна $R_{вих}$ впливає на тривалість формованого імпульсу. По-друге, великий щодо тривалості вихідного імпульсу час відновлення напруги на конденсаторі до початкового рівня.

13.3.4. ОВ на операційному підсилювачі (ОП)

Основою такого одновібратора є тригер Шмітта (ТШ) на операційному підсилювачі (ОП) (рис.13.8). Такий тригер у даному випадку є інвертуючим і має два порогових рівня переключення станів $U_{п1}$ та $U_{п2}$, які визначаються параметрами компонентів позитивного зворотного зв'язку (R_1,R_2) згідно співвідношень:

$$U_{п1} = U^{+}_{0}\, R_1/R_2, \qquad U_{п2} = -|U^{-}_{0}|\, R_1/R_2,$$

де U^{+}_{0}, $-U^{-}_{0}$ – граничні значення на виході ТШ у двох можливих станах, які залежать від напруг живлення +Ucc1, -Ucc2.. На практиці у розрахунках можна прийняти $U_0 \approx 0.9$ Ucc.

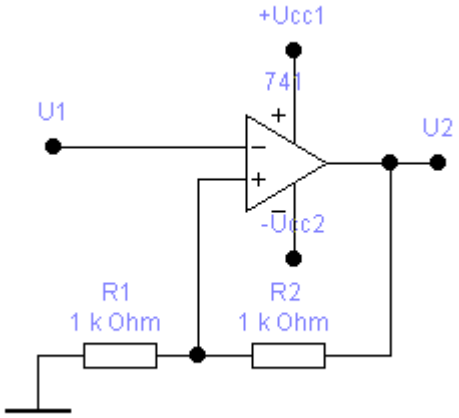


Рис.13.8

Схема одновібратора наведена на рис 13.9. Окрім ТШ схема містить компоненти, які визначають тривалість вихідного імпульсу ОВ. У даному випадку такими компонентами є резистор R і конденсатор C у ланцюгу негативного зворотного зв'язку. Крім того, у ОВ міститься схема його збудження, яка включає диференцюючий ланцюг C1-R3 та діод VD2.

До приходу імпульсу збудження U_1 ОВ знаходиться у стабільному стані, коли на виході схеми діє стабільна напруга $U_2 = -U^-_0$. При цьому діод VD1 відкритий і конденсатор C практично розряджений, оскільки напруга на ньому дорівнює напрузі $U_{0д}$ на відкритому діоді VD1. Позитивний вхідний імпульс U_1 через діод VD2 переключає ТШ у стан, коли на виході встановлюється рівень $U_2 = U^+_0$. Високим рівнем U^+_0 на виході діод VD1 закривається і починається заряд конденсатора C через резистор R. Напруга на конденсаторі C підвищується по експоненціальному закону поки не досягне порогового рівня $U_{п1}$. При досягненні порогу $U_{п1}$ ТШ переключається у стан $U2 = -U^-_0$. На цьому закінчується формування вихідного імпульсу тривалістю $t_и$:

$$t_и = RC \ln [(U^+_0 - U_{0д})/(U^+_0 - U_{п1})].$$

На етапі відновлення ОВ конденсатор C розряджається через резистор R до напруги відпирання діоду VD1, тобто до $U_{0д}$. Тривалість етапу відновлення $t_в$ визначається співвідношенням:

$$t_в = RC \ln [(|-U^-_0| - U_{п2})/(|-U^-_0| - U_{0д})].$$

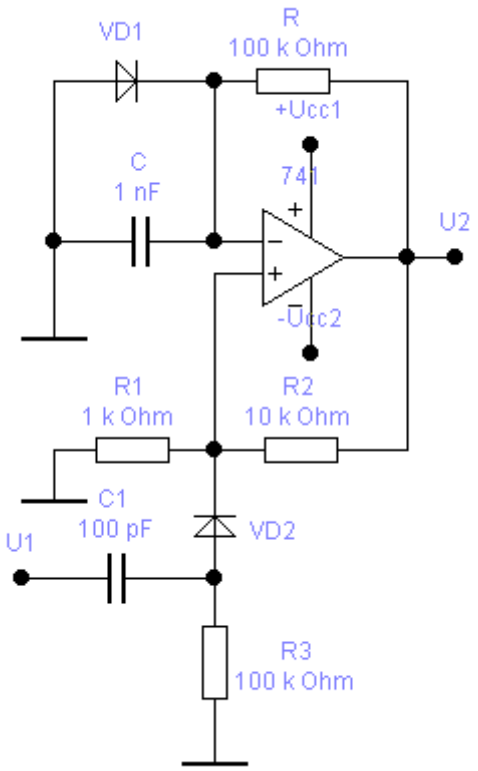


Рис.13.9

Амплітуда позитивного вихідного імпульсу U_m дорівнює:

$$U_m = U^+o + U^-o.$$

В разі необхідності отримати ОВ, який формує негативний вихідний імпульс у схемі, наведеній на рис.13.9 достатньо змінити полярність включення діодів VD1 і VD2.

13.4. Мультивібратори (МВ)

Мультивібратор є релаксаційним генератором, призначеним для формування періодичних сигналів (частіше за все прямокутних) із заданими параметрами: амплітуда U_m, частота f, шпаруватість Q. МВ Він може працювати в режимі автоколивань, або в режимі очікування зовнішнього сигналу запуску..

У режимі автоколивань МВ не має стану стійкої рівноваги. При роботі мультивібратора в цьому режимі існують два стани квазірівноваги, що чергуються. Стан квазірівноваги характеризується порівняно повільною зміною струмів і напруг, що призводять до деякого критичного стану, при якому створюються умови для стрибкоподібного переходу мультивібратора з одного стану в інший. Період коливань при цьому залежить від параметрів схеми.

У режимі очікування мультивібратор має стан стійкої рівноваги до приходу керуючого сигналу, який ініціює збудження режиму генерації .

Схеми МВ можуть бути побудовані на основі біполярних транзисторів, уніполярних транзисторів, операційних підсилювачів, логічних інтегральних елементів типу АБО-НЕ, І-НЕ, RS-тригерів, тригерів Шміттаа також на основі негатронів (тунельних діодів, тиристорів, дінисторів, одноперехідних та лавинних транзисторів). В останній час частіше за все МВ будують на основі інтегральних мікросхем.

13.4.1. МВ на логічних елементах інверторах (НЕ)

Схема МВ на основі логічних елементів НЕ наведена на рис.13.10. Окрім інверторів 1,2 схема містить конденсатор С, який забезпечує позитивний зворотний зв’язок і завдяки йому регенеративний режим коливань. Разом з резистором R негативного зворотного зв’язку конденсатор С вони визначають частоту f і шпаруватість Θ вихідних сигналів МВ.

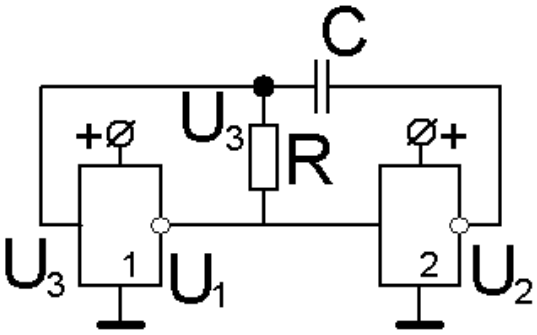


Рис.13.10

При включенні живлення, будь-які флуктуації або шуми під дією позитивного зворотного зв'язку МВ лавино подібно перекидаються в один з двох квазистійких станів. В одному з станів на виході U_1 встановлюється низький, а на виході U_2 - високий рівень потенціалу, а в другому стані, навпаки, на виході U_1 високий і виході U_2 – низький рівень потенціалу. Релаксаційні процеси перезарядження конденсатора C через резистор R, визначають тривалість напівперіодів T_1, T_2, частоту генерації f і шпаруватість вихідних імпульсів Q.

На часовому інтервалі T_1 на вході першого елементу НЕ напруга $U_3 > U_{пор}$,тому на його виході підтримується низький рівень U^0_1, а на виході другого елементу НЕ — високий рівень U^1_2. Струм перезаряду конденсатора C протікає від джерела живлення у ланцюзі "$+U_{дж.ж}$"$-R^1_{вих2} - C - R - R^0_{вих1}$–"*земля*" та експоненціально зменшується за сталою часу:

$$\tau_1 = C(R + R^0_{вих1} + R^1_{вих2}) \approx CR,$$

де $R^0_{вих1}$ – вихідний опір інвертору 1 у стані «0» , $R^1_{вих2}$- вихідний опір інвертору 2 у стані «1».

При цьому напруга на вході першого елемента НЕ так само експоненціально падає від начального значення $U_{пор} + U^1_2$. В момент, коли напруга на вході першого елементу НЕ досягає рівня порогу $U_{пор}$ інвертор першого елементу переходить в режим підсилення, його вихідна напруга, наростаючи, переключає другий інвертор. Далі під дією позитивного зворотного зв'язку схема регенеративно переключається в другий квазістійкий стан. Тим самим завершується формування інтервалу T_1 вихідного сигналу:

$$T_1 = \tau_1 \ln [(U_2^1 + U_{пор})/U_{пор}].$$

На часовому інтервалі T_2 напруга на вході першого елемента НЕ $U_3 < U_{пор}$, тому на виході першого елемента НЕ – високий рівень U_1^1, а на виході другого елемента НЕ – низький рівень U_2^0. Струм перезаряду конденсатора C протікає в протилежному напрямку від джерела живлення першого елемента НЕ у ланцюзі "$+U_{дж.ж}$"$-R^1_{вих1} - R - C - R^0_{вих2}$–"*земля*" і створює на резисторі R перепад напруги, достатній для підтримки на вході U_3 елемента

напруги в області логічного "0". У міру перезарядження конденсаору С струм через резистор R зменшується експоненційно із сталою часу:

$$\tau_2 = C(R + R^1_{вих1} + R^0_{вих2}) \approx CR,$$

де $R^1_{вих1}$ – вихідний опір інвертору 1 у стані «1» , $R^0_{вих2}$- вихідний опір інвертору 2 у стані «0».

При цьому напруга на вході інвертора 1 експоненційно наростає від рівня $U_{пор} - U^1_2$, асимптотично наближаючись до рівня U^1_2 .В момент спів падіння $U_3=U_{пор}$ схема знову перемикається і всі процеси повторюються.

Тривалість напівперіоду T_2 з урахуванням вищенаведених формул визначається співвідношенням:

$$T_2 = \tau_2 \ln [(2U_2^1-U_{пор})/(U_2^{1-}U_{пор})].$$

Частота генерації $f = (T1+T2)^{-1}$, а шпаруватість вихідних сигналів (співвідношення тривалості вихідного імпульсу і періоду коливань):

$$\Theta_1 = (T_1+T_2)/T_1 = T/T_1 , \quad \Theta_2 = (T_1+T_2)/T_2 = T/T_2.$$

Для ІМС ТТЛ-типу на опір резистора R накладається обмеження зверху $R < (U_{пор} - U_2^0)/I_{вх}^1$. Спотворення вершин імпульсів на виходах U_1, U_2 ТТЛ-схем обумовлено реактивною складовою вихідних струмів перезарядження конденсатора С через резистор R. При використанні ІМС КМДП-типу необхідно приймати до уваги два порогових рівня: пороговий рівень n–канального транзистора $U_{порn}$ та пороговий рівень p–канального транзистора $U_{порp}$, тому співвідношення для півперіодів мають вигляд:

$$T_1 = \tau_1 \ln [(U_2^1+U_{порn})/(U_2^{1-}|U_{порp}|] ; T_2 = \tau_2 \ln [(U_2^1+|U_{порp}|)/(U_2^{1-}U_{порn})],$$

де $U_{порn}$ - порогова напруга n- канальних транзисторів ІМС; $U_{порp}$ - напруга p- канальних транзисторів.

Переваги розглянутого мультивібратора - простота схеми і стабільність частоти генерації, а незначним недоліком є спотворення вершин імпульсів.

13.4.2. МВ на І-НЕ з автозапуском

Схема МВ з автозапуском наведена на рис.13.11.

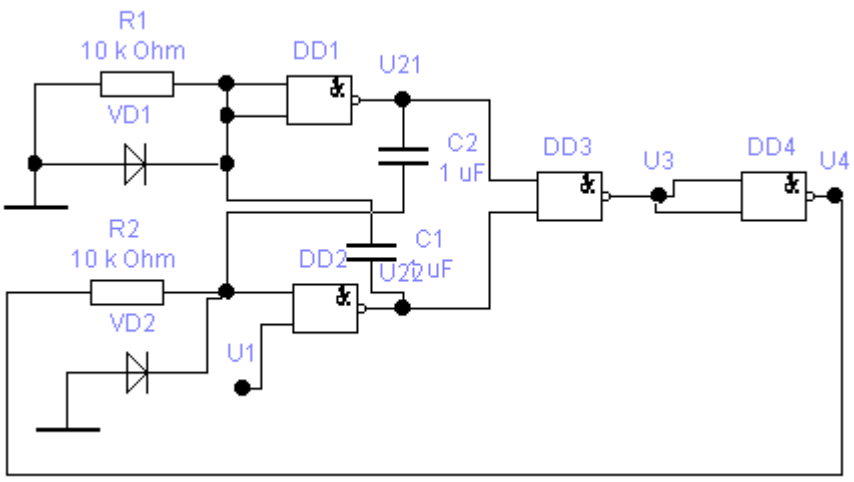


Рис.13.11

Даний мультивібратор містить два ланцюги R1-C1 та R_2-C_2, що задають часові параметри МВ, тобто частоту f і шпаруватість , Θ вихідних сигналів. МВ побудований на логічному елементі І-НЕ DD1, який використовується як інвертор, та логічному елементі І-НЕ DD2 елементах. Логічні елементи DD3 та DD4 призначені для реалізації автоматичного запуску режиму генерації.

В режимі стаціонарних коливань на входах елемента DD3 встановлюються протифазні сигнали, тому на виході U3 елемента DD3 підтримується постійний високий рівень U^1_3, а на виході елемента DD4 – низький $U^0_4 \approx 0$, і резистор *R2* виявляється практично "заземленим". У разі зриву коливань сигналом $U_1=0$ на виходах елементів DD1 і DD2 встановлюються рівні U^1_{21} і U^1_{22}, тому на виході DD3 маємо $U_3=0$, а на виході DD4 $U4=U^1_4$, який через резистор R_2 надходить на вхід D*D2* і забезпечує запуск мультивібратора при подачі сигналу запуску U^1_1. Таким чином, запускається режим генерації. Це дозволяє використовувати схему для генерування пакетів імпульсів тривалістю керуючого сигналу $U^1_{1/}$

Зовнішні діоди *VD*1,*VD*2 забезпечують швидкий розряд конденсаторів C1, C2, що задають часові параметри МВ: тривалість на півперіодів T_1 *і* T_2, і залежну від них частоту $f = (T_1+T_2)^{-1}$ і шпаруватість $\Theta_1 = (T_1+T_2)/T_1$.

Значення опору резисторів R_1, R_2 необхідно вибрати великими, але з врахуванням обмеження:

$$R_{1(2)} \le U^1_{1min} / I^0_{вх} \quad ,$$

де U^1_{1min} — мінімальний рівень напруги для високого рівня;

$I^0_{вх}$ — вхідний струм логічних елементів при низькому рівні на входах DD1, DD2

Тривалість напівперіодів T_1, T_2 мультивібратора визначаються ланцюгами, що задають час, відповідно R_1, C_1 та R_2, C_2:

$$T_1 = C_1R_1 ln\,(U^1/ U^1_{1min}) \,,\; T_2 = C_2R_2 ln\,(U^1/ U^1_{1min}),$$

а частота коливань, що генеруються $f = (T_1 + T_2)^{-1}$.

Ємність конденсаторів C_1, C_2, що задають тривалість інтервалів T_1, T_2 визначається із наведених співвідношень відповідно для вибраних значень опорів резисторів R1, R2.

13.4.3. МВ на тригері Шмітта (ТШ)

Схема МВ на тригері Шмітта наведена на рис.13.12.

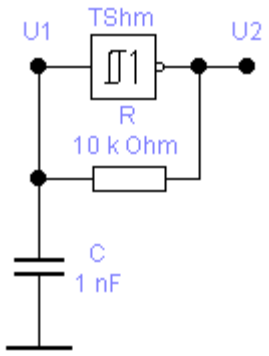


Рис.13.12

Якщо мультивібратор повинен забезпечити тільки задану частоту генерації *f*, а шпаруватість імпульсів несуттєва, доцільно скористатися схемою найпростішого мультивібратора на основі тригера Шмітта.

Передатна характеристика тригера Шмітта має явно виражений гістерезисний характер. На ній виділяються дві порогові напруги $U_{п1}$ і $U_{п2}$ перемикання вихідної напруги відповідно $U_2^1 \longrightarrow U_2^0$ і $U_2^0 \longrightarrow U_2^1$.

Найпростіший мультивібратор на основі інвертуючого тригера Шмітта виходить включенням інтегруючої RC - ланки між виходом і входом. У момент підключення джерела живлення $U_{ип}$ конденсатор C розряджений, U_1 = 0, на інверсному виході тригера встановлюється високий рівень U_2^1, який обумовлює заряд конденсатора через резистор *R* з постійною часу

$$\tau_1 = C(R+R^1_{вих}),$$

де $R^1_{вих}$ – вихідний опір тригера Шмітта у стані «1» на виході.

Вхідна напруга U_1 експоненціально зростає, наближаючись асимптотично до рівня U_2^1. У момент порівняння вхідної напруги U_1 з пороговим рівнем $U_{п1}$ вихідна напруга ТШ стрибком перемикається до низького рівня U_2^0, що обумовлює розряд конденсатора *C* через резистор *R* і вихідний опір $R^1_{вих}$ з постійною часу

$$\tau_2 = C(R+R^0_{вих}),$$

де $R^0_{вих}$ – вихідний опір тригера Шмітта у стані «0» на виході.

У новому стані ТШ вхідна напруга U_1 експоненціально падає, наближаючись до U_2^0. У момент, коли U_1 порівнюється з $U_{п2}$, тригер перемикається в новий стан з високим рівнем U_2^1 на виході, і починається новий цикл заряду. Таким чином, мультивібратор самозбуджується і генерує прямокутні імпульси, тривалістю T_1 і паузи T_2, які визначаються співвідношеннями:

$$T_1 \approx \tau_1 \cdot \ln\left[\frac{U_2^1 - U_{n2}}{U_2^1 - U_{n1}}\right]$$

$$T_2 \approx \tau_2 \cdot \ln\left[\frac{U_2^0 - U_{n1}}{U_2^0 - U_{n2}}\right] = \tau_2 \cdot \ln\left[\frac{U_{n1}}{U_{n2}}\right]$$

Ці вирази дозволяють розрахувати частоту генерації $f = \frac{1}{T} = \frac{1}{T_1 + T_2}$ мультивібратора і шпаруватість Θ вихідних імпульсів:

$$\Theta_1 = (T_1+T_2)/T_1 = T/T_1\,, \quad \Theta_2 = (T_1+T_2)/T_2 = T/T_2.$$

Стабільність частоти мультивібратора невисока, оскільки різниця граничних напруг $U_{п1}$ і $U_{п2}$ незначна і температурний дрейф кожного з них суттєво впливає на тривалість часових інтервалів T_1, T_2.

13.4.4 МВ на основі операційного підсилювача

Схема МВ на основі операційного підсилювача (ОП) наведена на рис.13.13.

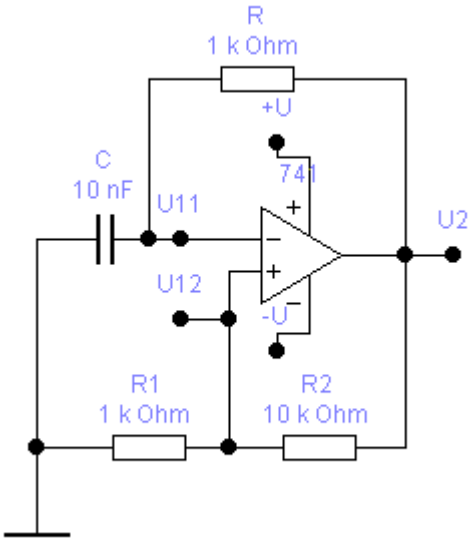


Рис.13.13

При побудові мультивібраторів широко використовуються операційні підсилювачі, оскільки вони мають наступні позитивні властивості:

- великий коефіцієнт посилення за напругою ($K_U = 10^3 ... 10^5$), що гарантує умови самозбудження;
- великий перепад вихідної напруги ΔU_2, рівні якого близькі до напруги джерел живлення;
- великий вхідний і незначний вихідний опір;
- швидкість зміни вихідної напруги S = 10^8 В/с.

Для забезпечення регенеративного режиму перемикання ОП охоплюють позитивним зворотним зв'язком (рис.13.14), в результаті чого передаточна характеристика набуває гістерезисний характер, аналогічний передаточній характеристиці тригеру Шмітта.

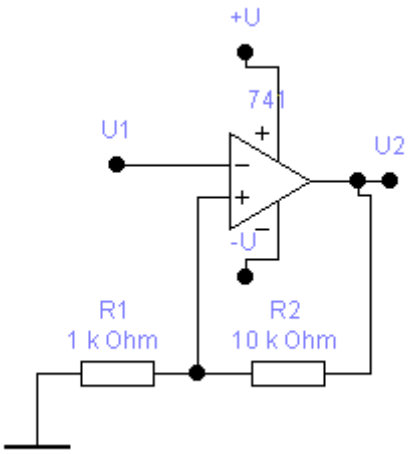


Рис.13.14

Схема на рис.13.14 являє собою тригер Шмітта на ОП. Порогові напруги U_{n1}, U_{n2} такого тригера визначаються частиною вихідної напруги, що надходить по ланцюзі позитивного зворотного зв'язку (*R1, R2*) на неінвертуючий вхід. Оскільки вихідна напруга ОП в режимі тригера Шмітта може приймати тільки два статичних рівня, що відповідають рівням позитивного U_{01} або негативного $-U_{02}$ обмежень, порогові напруги визначаються співвідношеннями:

$$U_{n1} = U_{o1} R_1/(R_1 + R_2) = U_{o1} \beta \; ; \; U_{n2} = -U_{o2} R_1/(R_1 + R2) = -U_{o2} \beta,$$

де $\beta = R_1/(R_1 + R_2)$.

Мультивібратор на основі тригеру Шмітта на ОП можна отримати введенням зв'язку між виходом ОП і його інвертуючим входом через інтегруючий RC - ланцюг. Принцип роботи такого мультивібратора полягає у відстеженні із затримкою напруги на інвертуючому вході U_{11} за напругою на неінвертуючому вході U_{12}, яке практично безінерційно повторює з коефіцієнтом пропорційності $\beta<1$ вихідну напругу U_2. На інтервалі T_1 на виході ОП встановився високий рівень U_{01}, на неінвертуючому вході – також практично постійний

потенціал $U_{n1} = U_{o1}\beta$, а на інвертуючому – напруга експоненціально наближається до U^{+}_{11} —> U_{o1} в міру заряду конденсатора C з постійною часу:

$$\tau_1 = C(R + R^{+}_{вих.}) \approx CR,$$

де $R^{+}_{вих}$ — вихідний опір ОП в режимі позитивного обмеження.

Заряд конденсатору С зумовлює зменшення диференційної вхідної напруги $U_д = U_{12}-U_{11}$ і в момент досягнення $U_д = U_{12} - U_{11} \approx 0$ ОП переходить в активний режим. Під дією позитивного зворотного зв'язку тригер Шмітта перемикається в стан з низьким рівнем $-U_{02}$ вихідної напруги. За час перемикання напруга на конденсаторі не встигає істотно змінитися, тому негативний зворотний зв'язок (RC) на процеси перемикання впливу не має. На неінвертуючому вході встановлюється напруга $U_{n2} = -U_{o2}\beta$.

На інтервалі T_2 напруга на конденсаторі C наближається до $U^{-}_{12}(\infty) = -U_{02}$ з постійною часу:

$$\tau_1 = C(R + R^{-}_{вих.}) \approx CR,$$

де $R^{-}_{вих.}$ — вихідний опір ОП в режимі негативного обмеження.

Інтервал T_2 закінчується в момент збігу $U_д = U_{12} - U_{11} \approx 0$ і подальшого регенеративного перемикання ОП в стан позитивного обмеження. Тривалості інтервалів T_1, T_2 визначаються за експоненціальними функціями перезарядження конденсатора в діапазоні напруг між U_{n1} та U_{n2}:

$$T_1 = \tau_1 \ln [(U_{o1} - U_{n2})/(U_{o1} - U_{n1})],$$

$$T_2 = \tau_2 \ln [(-U_{o2} - U_{n1})/(-U_{o2} - U_{n2})].$$

Приймаючи до уваги, що $U_{n1} = U_{o1}\beta$; $U_{n2} = = -U_{o2}\beta$, наведені вище співвідношення можна представити у формі:

$$T1 = T2 = RC \ln [(1 + \beta)/(1 - \beta)] = RC \ln [(2R1 + R2)/R2],$$

тобто мультивібратор генерує прямокутні імпульси із шпаруватістю $\theta = 2$. Незалежна установка тривалості T_1, T_2 та необхідної шпаруватості θ реалізується при заміні резистора R нелінійним двополюсником.

13.4.5. Мультивібратор на RS — тригері

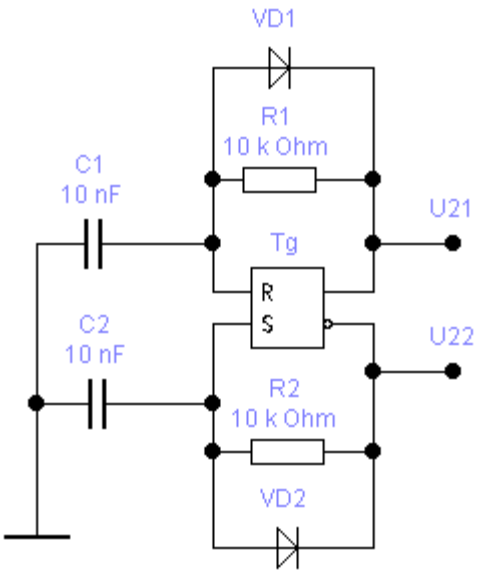


Рис.13.15

Схема МВ на основі RS-тригера наведена на рис.13.15.

Для реалізації мультивібратора на основі RS-тригера необхідно між виходами і відповідними їм входами включити два ланцюги, що визначають часові параметри МВ. Таким чином ми отримаємо автоколивальний мультивібратор з незалежним регулюванням тривалості напівперіодів і постійними часу

$$\tau_1 = C_1(R_1 + R^1_{вих}),\ \tau_2 = C_2(R_2 + R^1_{вих}),$$

де $R^1_{вих}$ – вихідний опір RS-тригера у стані «1» на виході.

Тривалість напівперіодів визначаються співвідношеннями:

$$T_1 = C_1(R_1 + R^1_{вих})\ ln\ [(U^1_{21} - U^0_{21})/(U^1_{21} - U_{пор})],$$

$$T_2 = C_2(R_2 + R^1_{вих})\ ln\ [(U^1_{22} - U^0_{22})/(U^1_{22} - U_{пор})],$$

де $U_{пор}$ – порогова напруга переключення тригера.

Розряд конденсаторів C_1, C_2 протікає швидко через діоди $VD1, VD2$ із постійними часу:

$$\tau_{p1} = C_1(r_{пр} + R^0_{вих}) \ll T_1\ ,\quad \tau_{p2} = C_2(r_{пр} + R^0) \ll T_2$$

і не впливає на частоту генерації :

$$f = (T_1 + T_2)^{-1}.$$

Даний мультивібратор можна реалізувати як на ТТЛ, так и на КМДП ІМС. Відносним недоліком такого МВ є температурна нестабільність частоти (тривалості) імпульсів, що генеруються.

13.4.6. Мультивібратор на двох операційних підсилювачах

Схема МВ на основі двох операційних підсилювачів наведена на рис.13.16.

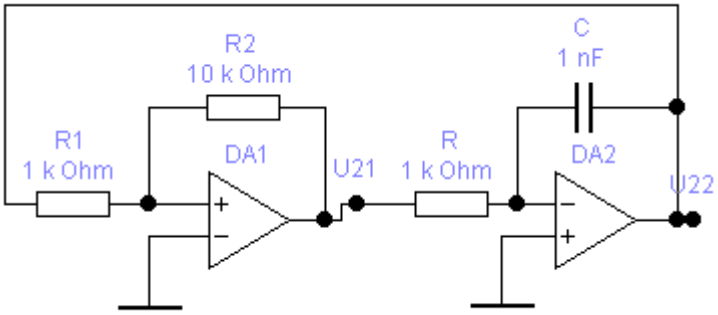


Рис.13.16

Для підвищення стабільності частоти можна замінити релаксаційні процеси, що протікають у ланцюгах, що задають час за експонентним законом, лінійними. Лінійну релаксацію можна реалізувати за допомогою інтегратора, керованого постійними рівнями. Схема такого мультивібратору є послідовним з'єднанням в замкненому контурі інвертуючого інтегратора на ОП DA2 та неінвертуючому тригері Шмідта на ОП DA1 (рис.13.16).

Передаточна характеристика неінвертуючого тригера Шмітта характеризується двома пороговими рівнями. Порогові напруги перемикання тригера U_{n1}, U_{n2} визначаються опорами резисторів R1 та R2 позитивного зворотного зв'язку при двох можливих рівнях напруги на виході тригера Шмітта:

$$U_{n1} = -U^{+}_{o} R_1/R_2, \quad U_{n2} = U^{-}_{o} R_1/R_2,$$

де U^{+}_{o}, $-U^{-}_{o}$ – рівні вихідної напруги тригера Шмітта у станах відповідно позитивного і негативного обмеження, які визначаються напругами живлення операційного підсилювача.

Вихідні напруги тригера Шмітта U^{+}_{o}, $-U^{-}_{o}$ є вхідними напругами інтегратора, напруга на виході якого змінюється за лінійним законом в межах між пороговими рівнями U_{n1}, U_{n2} .

На часовому інтервалі T_1 вихідна напруга інтегратора лінійно зменшується від початкового значення U_{n2}:

$$U_{21}(t) = U_{n2} - U^{+}_{o}\, t / (RC).$$

В кінці інтервалу T_1 на виході інтегратора встановлюється напруга U_{n1} переключення виходу тригера Шмітта у стан $-U^{-}_{o}$. Тому

$$U_{21}(T_1) = U_{n2} - U^{+}_{o}\, T_1/ (RC) = U_{n1}.$$

Із цього співвідношення отримуємо вираз для тривалості часового інтервалу T_1:

$$T_1 = RC\,(U_{n2} + U_{n1}) / U^{+}_{o} = RC\,k\,(U^{+}_{o} + U^{-}_{o})/ U^{+}_{o}\,,$$

де $k = R_1/R_2$.

Аналогічно отримаємо вираз для часового інтервалу T_2:

$$T_2 = RC\,(U_{n2} + U_{n1}) / U^-_o = RC\,k\,(U^+_o + U^-_o) / U^-_o\,.$$

Якщо операційний підсилювач має симетричне живлення, тобто $U^+_o = |-U^-_o|$ тривалості T_1 і T_2 можна обчислити за виразом:

$$T_1 = T_2 = 2kRC.$$

При цьому на виході U_{21} мультивібратора формується серія прямокутних імпульсів типу «меандр», а на виході U_{22} - імпульси трикутної форми з частотою

$$f = (4kRC)^{-1}$$

і шпаруватістю $\theta = 2$.

Якщо необхідно отримати вихідні імпульси з довільною шпаруватістю, резистор R інтегратора необхідно замінити нелінійним двополюсником.

Стабільність частоти такого мультивібратора визначається стабільністю параметрів компонентів *R, R1, R2, C*.

13.5. Генератори лінійно змінної напруги

Генератори лінійно змінної напруги (ЛЗН) представляють собою електронні пристрої, вихідна напруга яких протягом визначеного часу змінюється за лінійним законом.

Лінійно змінна напруга U(t) характеризується рядом параметрів:

- тривалість робочого ходу t_p, тобто часу, протягом якого формується лінійно змінна напруга;
- тривалість зворотного ходу $t_в$ (час відновлення) - це час, протягом якого відбувається зворотний перехід до початку лінійної ділянки вихідного сигналу;
- період повторення вихідного сигналу $T = t_в + t_p$;
- амплітуда пилкоподібних імпульсів U_m;
- коефіцієнт нелінійності ε.

Одним з найважливіших параметрів ЛЗН є коефіцієнт нелінійності ε. Для визначення користаємося відомим твердженням, що лінійна функція характеризується постійністю похідною у всіх її точках, тому відхилення від лінійного закону можна оцінити коефіцієнтом нелінійності. Нелінійність визначається максимальним відхиленням реальної форми сигналу від ідеальної лінійної форми. Коефіцієнт нелінійності знаходять як відношення різниці максимальної і мінімальної похідних функції на робочий ділянці сигналу до максимальної похідної:

$$\varepsilon\,(\%) = \frac{[\frac{dU(t)}{dt}]\max - [\frac{dU(t)}{dt}]\min}{[\frac{dU(t)}{dt}]\max}\,100\,.$$

13.5.1. Генератор ЛЗН на дініcторі

Схема МВ на основі дініcтора (діода Шокклі) та операційного підсилювача наведена на рис.13.16.

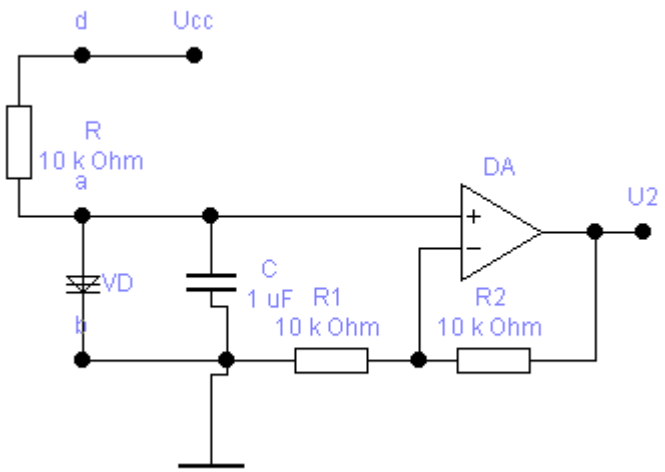


Рис.13.17

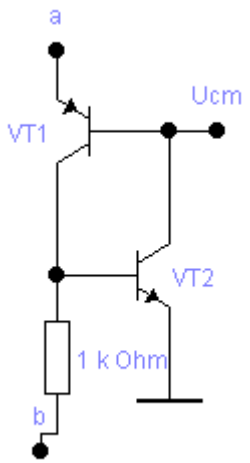


Рис.13.18

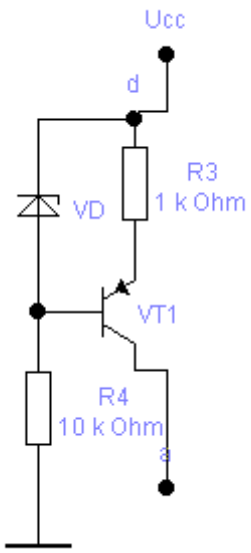


Рис.13.19

В схемі рис.13.17 опір резистора R та напруга джерела живлення U_{cc} вибираються так, що навантажувальна пряма перетинає ВАХ дініcтора з параметрами включення U_{max} та виключення U_{min} на ділянці негативного опору (для забезпечення режиму генерації).

При ввімкненому живленні через резистор R починається заряджання конденсатору C зі сталою експоненти $\tau_{зар} = CR$ при виключеному дініcторі. При досягненні U_{max} починається пробій дініcтора, його опір регенеративно зменшується до $r_{пр}$. При відкритому дініcторі конденсатор C розряджається через нього і в момент, коли напруга на ньому Uc досягає U_{min}, дініcтор виключається і починається новий цикл заряду конденсатора C через резистор R. Тривалість робочого ходу t_p для експоненціального закону наростання визначається співвідношенням:

$$t_p = \tau_{зар} \ln [(U_{cc} - U_{min})/(U_{cc} - U_{max})] = RC \ln [(U_{cc} - U_{min})/(U_{cc} - U_{max})].$$

Тривалість відновлення, тобто зворотного ходу $t_в$ також для експоненціального закону зменшення напруги на конденсаторі C зі сталою $\tau_{роз} = Cr_{пр}$ визначається співвідношенням:

$$t_в = \tau_{роз} \ln (U_{max}/U_{min}) = Cr_{пр} \ln (U_{max}/U_{min}) \ll t_p.$$

Таким чином, частота генерації пилкоподібних вихідних сигналів дорівнює:

$$f = (t_p + t_в)^{-1}.$$

Амплітуда U_m вихідних сигналів залежить від параметрів компонентів негативного зворотного зв'язку і визначається співвідношенням:

$$U_m = (U_{max} - U_{min})(1 + R_2/R_1).$$

Для забезпечення лінійності робочої ділянки сигналу необхідно використовувати початкову ділянку експоненти, тобто необхідно вибирати дініcтор так, щоби виконувалася вимога: $U_{max} \ll U_{cc}$. Таку умову легко виконати, якщо дініcтор VD замінити схемою, наведеною на рис.13.18, включивши її між точками *a* і *b*. При цьому максимальна напруга на конденсаторі C (замість параметру U_{max}) визначається керуючою напругою U_{cm}.

Нелінійність робочої ділянки сигналу можна суттєво зменшити, якщо замість резистора R генератор стабільного току, наведений на рис.13.19, підключивши його між точками *d* і *a*. У цьому випадку конденсатор C заряджається постійним током колектора I_k транзистора VT1, який визначається співвідношенням:

$$I_k = (U_{st} - U_0)/R_3 = const,$$

де U_{st} – напруга стабілізації стабілітрону VD,

U_0 – падіння напруги на еміттерному переході транзистора VT1 .

У цьому випадку напруга на конденсаторі C наростає по лінійному закону:

$$U_c(t) = U_{\min} + \frac{I_k}{C} t$$

і тривалість лінійної ділянки сигналу , коли сигнал наростає від U_{min} до U_{max}, дорівнює:

$$t_p = (U_{max} - U_{min})C/I_k.$$

13.5.2. Формувач ЛЗН на операційному підсилювачі

Схема формувача ЛЗН на основі операційного підсилювача наведена на рис.13.20.

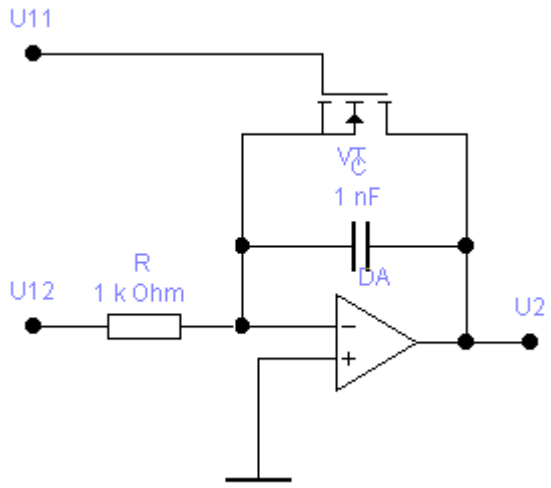


Рис.13.20

Формувач побудований по схемі інтегратора на операційному підсилювачі, охопленому негативним зворотним зв'язком завдяки RC-ланцюгу. Транзистор VT — використовується для встановлення нульових початкових умов. Якщо напруга на його затворі $U_{11}>U_{пор}$, канал індуцирований і має низький опір R_i , закорочуючи конденсатор С. Це визначає початкові умови інтегрування:

$$U_{20} = - U_{12} R_i /R.$$

Якщо правильно вибрано співвідношення $R_i \ll R$, маємо $U_{20}\approx 0$, тобто практично нульові початкові умови інтегрування, коли конденсатор С практично розряджений .

Якщо на вхід U11 поступає прямокутний імпульс з амплітудою $U11 < U_{пор}$, транзистор VT запирається і конденсатор С починає заряджатися струмом

$$I_C = I_R = U_{12}/ R.$$

При цьому на виході інтегратора формується напруга:Место для формулы.

$$U_2(t) = U_{20} - \frac{1}{C} \int U12\, dt.$$

Якщо $U_{12} = const$, , то $I_C = I_R = const$ і вихідний сигнал впродовж тривалості t_p вхідного імпульсу U_{11} формується по лінійному закону:

$$U_2(t) = U_{20} - \frac{1}{C}\frac{U12}{R}t.$$

По закінченні вхідного імпульсу t_p вихідна напруга досягає амплітудного значення:

$$U_2m = - U_{12}\, t_p/(RC).$$

Після закінчення вхідного імпульсу транзистор відкривається і через нього конденсатор С розряджається. Тривалість часу відновлення

$$t_в \approx 3\, CR_i\,.$$

Розглянута схема забезпечує якісний вихідний сигнал з малим коефіцієнтом нелінійності і високою навантажувальною здатністю..

14. Цифро-аналогові та аналого-цифрові перетворювачі

Цифро-аналогові перетворювачі (ЦАП) представляють собою клас пристроїв, що реалізують перетворення кодових комбінацій (безрозмірних величин) в деяку фізичну величину (найчастіше, напруга) відповідно до деякого коефіцієнту (міри) перетворення. ЦАП-и мають дуже широкий спектр застосувань у вимірювальній, обчислювальній техніці, біомедичній інженерії, системах передачі, зберігання і відображення інформації, в системах управління технологічними процесами і т.д. В англомовній літературі для позначення ЦАП застосовується абревіатура DAC.

Схеми застосування цифро-аналогових перетворювачів відносяться не тільки до області перетворення код → аналог. Користуючись їх властивостями можна визначати добуток двох або більше сигналів, будувати дільники функцій, аналогові ланки, керовані від мікроконтролерів, такі як атенюатори, інтегратори тощо. Важливою сферою застосування ЦАП є також генератори сигналів, в тому числі сигналів довільної форми.

Основна функція ЦАП має вид:

$$U(X) = K \times X_n,$$

де X – деякий цифровий код, який у випадку n-розрядного двійкового кодування має вигляд:

$$\boldsymbol{X_n} = \sum_{i=0}^{n-1} x_i * 2^{\mathrm{i}}\,,$$

де x_i – значення i-го розряду двійкового коду: $x_i \subset \{0,1\}$. Коефіцієнт K визначає масштаб перетворення та має розмірність напруги.

Похибка перетворення відображає різницю між номінальною функцією перетворення і реальною. Цей параметр може бути наведеним як до виходу, так і до його входу. Якщо похибка перетворення приведена до виходу, то вона виражається в одиницях вихідної величини (напруга або струм), якщо до входу, то в безрозмірних частках одиниці молодшого розряду перетворюваного коду.

14.1. ЦАП на основі аналогового суматора

Схема ЦАП на основі аналогового суматора представлена на рис. 14.1. Принцип роботи такого ЦАП засновано на додаванні розрядних струмів I_i, пропорційних вазі розряду і такими, що перемикаються логічними змінними x_i перетворюваного коду. Значення розрядного струму I_i визначається величиною опорної напруги U_{on} і опором резистора i-го розряду R_i:

$$I_i = U_{оп} / R_i .$$

Старшому розряду x_{n-1} перетворюваного коду відповідає максимальний розрядний струм I_{n-1}, що визначається найменшим опором R_{n-1}. Струм другого розряду I_{n-2} вдвічі менше, тобто опір R_{n-2} відповідно вдвічі більше. Мінімальний вклад у вхідний струм дає молодший розряд x_0 і йому відповідає максимальний опір R_0.

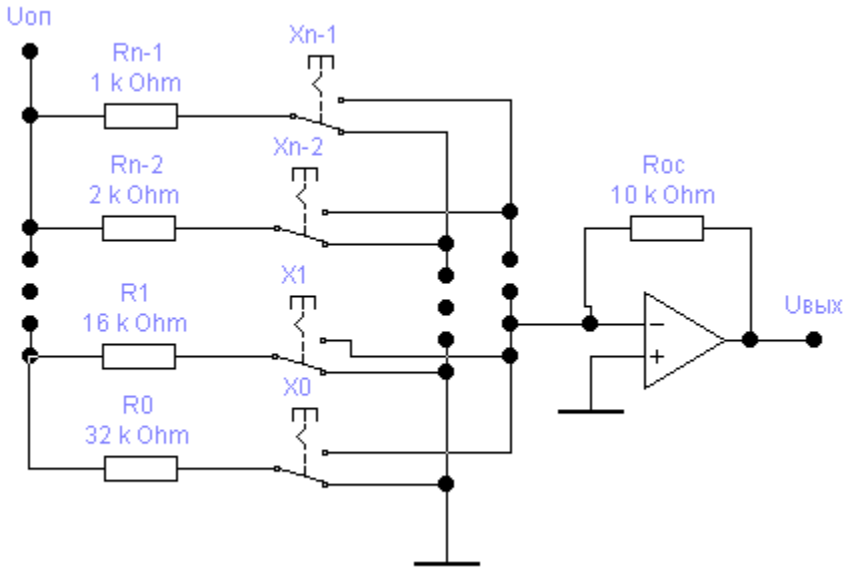


Рис. 14.1

Тобто опір в ланцюзі i-го розряду двійкового коду має дорівнювати:

$$R_i = R_0/2^i.$$

Підключення розрядного струму до входу операційного підсилювача або перемикання його на «землю» здійснюється електронним перемикачем, що зображений на рис.14.2.

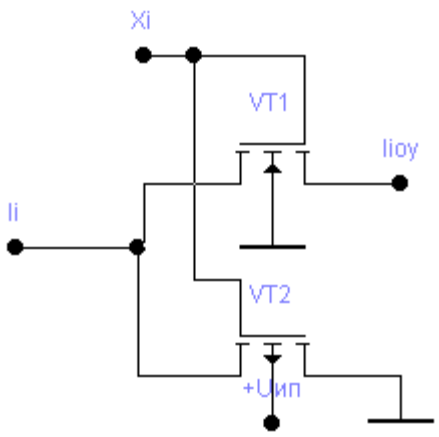


Рис. 14.2

Якщо $x_i = 0$, транзистор VT2 відкритий, а VT1 - замкнутий і струм I_i відключений від входу операційного підсилювача. При $x_i = 1$ відкривається транзистор VT1 і струм даного розряду I_{ioy} подається на вхід операційного підсилювача разом зі струмами інших розрядів. Таким чином, сумарний струм, що надходить на операційний підсилювач, визначається виразом:

$$I(U_{on}, R_i, x_i) = \sum_{i=0}^{n-1} x_i I_i = U_{on} \sum_{i=0}^{n-1} x_i / R_i = U_{on}/R_0 \sum_{i=0}^{n-1} x_i 2^i = U_{on} \boldsymbol{X_n} / R_0,$$

де $\boldsymbol{X_n}$ - вхідний цифровий код.

Практично весь даний струм протікає через резистор R_{oc} в ланцюзі зворотного зв'язку операційного підсилювача (ОП), оскільки власний вхідний струм ОП зникаючи малий. Тоді вихідна напруга такого ЦАП дорівнює падінню напруг на резисторі в ланцюзі зворотного зв'язку R_{oc} (із врахуванням знаку):

$$U_{вых} = - R_{oc} \times I(U_{оп}, R_i, x_i) = - R_{oc} U_{оп} \boldsymbol{X_n} / R_0.$$

При високій розрядності ЦАП струмозадаючі резистори повинні визначатися з високою точністю. Найбільш жорсткі вимоги до точності пред'являються до резисторів старших розрядів, оскільки розкид струмів в них не має перевищувати струм молодшого розряду. Тому розкид номіналів опорів в *i*-му розряді δR_i має бути не більше, $\delta R_i / R_i (\%) = 100/2^{i+1}$.

Із даної умови випливає, що розкид номіналів опорів резистора, наприклад, в четвертому розряді не має перевищувати 3%, а в 10-му розряді — 0,05% і т.д.

Наведена схема ЦАП відрізняється простотою, дешевизною, можливістю перетворення двійково-десяткових кодів без попереднього перекодування в двійковий код. Її швидкодія однозначно визначається частотними властивостями ОП і швидкодією транзисторів електронного перемикача на транзисторах VT1, VT2.

Розглянута схема має цілу низку недоліків. Головним з них є необхідність великої кількості типономіналів прецизійних резисторів. Крім того, опір резисторів старших розрядів в багаторозрядних ЦАП може бути порівнянним з опором замкнутого ключа, що обумовлює

додаткову похибку перетворення. Дані недоліки обмежують допустиму розрядність кодів перетворення. Як правило, для таких схем $n \leq 6$.

На рис.14.3 наведено умовно-графічне позначення ЦАП в середовищі Workbench з вихідною напругою, пропорційною цифровому коду.

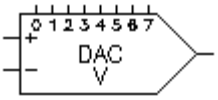


Рис.14.3

14.2. ЦАП на основі лінійки резисторів R — 2R

Для усунення основного недоліку схем на основі аналогового суматора розроблена і широко застосовується схема ЦАП на основі лінійки резисторів R-2R, наведеної на рис. 14.4. Резистори 2R такої лінійки через електронні перемикачі на транзисторах VT1, VT2 (рис. 14.5) підключаються логічним сигналом або на землю через транзистор VT1, або до потенційно заземленому входу операційного підсилювача (ОП). Тому струм наймолодшого розряду x_0 визначається опором резистора 2R і вузловим напругою, що є результатом поділу опорної напруги U_{on} для розряду x_1 між резистором R і паралельним з'єднанням двох

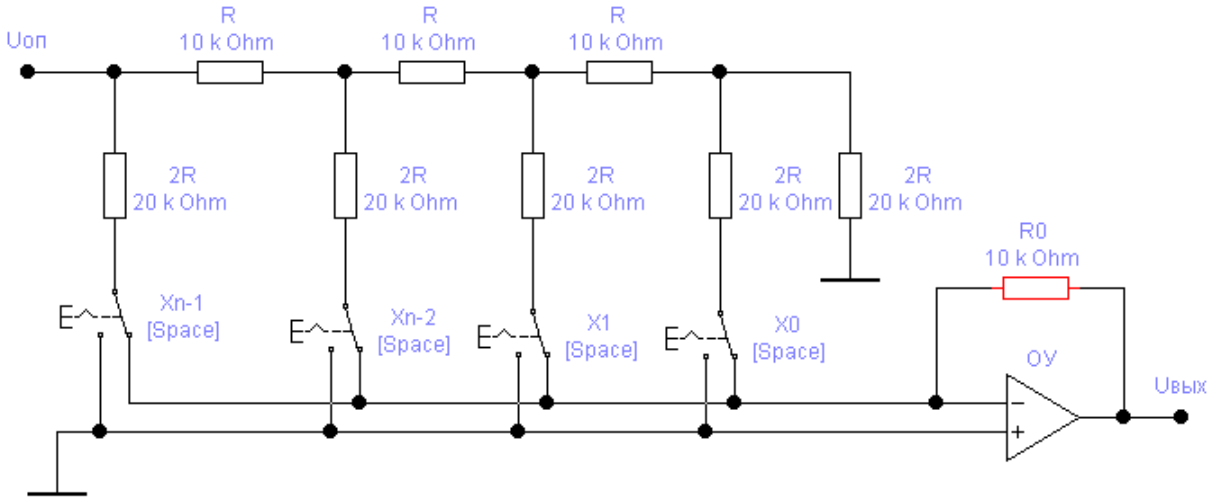


Рис.14.4

резисторів 2R, тобто вдвічі меншою напругою. Таким чином, резистивна лінійка R-2R забезпечує формування вузлових напруг, що зменшуються вдвічі при переході від старшого розряду до наступного за ним, молодшого розряду.

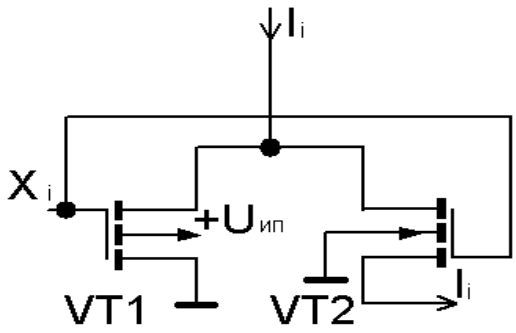


Рис.14.5

Для *i*-го розряду вузлова напруга дорівнює:

$$U_i = U_{on} / 2^{n-1-i}.$$

Тоді струм *i*-го розряду I_i визначається виразом:

$$I_i = U_i / 2R = U_{on} / (2R * 2^{n-1-i}) = U_{on}\, 2^i / (R\, 2^n).$$

На вхід ОП із врахуванням дії логічних змінних x_i надходить струмовий сигнал, що дорівнює

$$I_{oy} = \sum_{i=0}^{n-1} x_i I_i \ .$$

Даний струм, протікаючи в основному через резистор в ланцюзі негативного зворотного зв'язку R_0, формує вихідну напругу:

$$U_{вих} = - I_{on} R_0 = - R_0 \sum_{i=0}^{n-1} x_i I_i = - R_0 U_{on} / (R\, 2^n) \sum_{i=0}^{n-1} x_i\, 2^i = - R_0 U_{on} \boldsymbol{X_n} / (R\, 2^n) = \Delta U\, \boldsymbol{X_n},$$

де величина $\Delta U = R_0\ U_{on} / (R\ 2^n)$ є дискретною величиною напруги, що відповідає мінімальному приросту вихідної напруги, тобто вкладу наймолодшого розряду у вихідний сигнал.

Основна перевага розглянутого в даному розділі ЦАП полягає в мінімальній кількості типономіналів прецизійних резисторів - їх всього 2 (R і 2R). Але недолік, обумовлений неідеальністю електронних перемикачів, опір яких додається з опором 2R і вносить відповідну статистичну похибку, і в цьому ЦАП має місце. Проте розрядність таких ЦАП більше (n = 10 ... 12) і область їх застосування ширше.

14.3. ЦАП на перемикачах струму

Задум ЦАП на діодних перемикачах струму полягає в необхідності виключити вплив опору неідеальних електронних ключів на величину керованих логічними змінними розрядних струмів. Для цього необхідно забезпечити формування розрядних струмів від

джерел з максимально можливим внутрішнім опором (бажано, від ідеального джерела струму), на величину якого не міг би впливати внутрішній опір електронного ключа. В якості такого джерела струму з дуже великим внутрішнім опором може бути використаний біполярний транзистор, включений за схемою із загальною базою. На рис.14.6

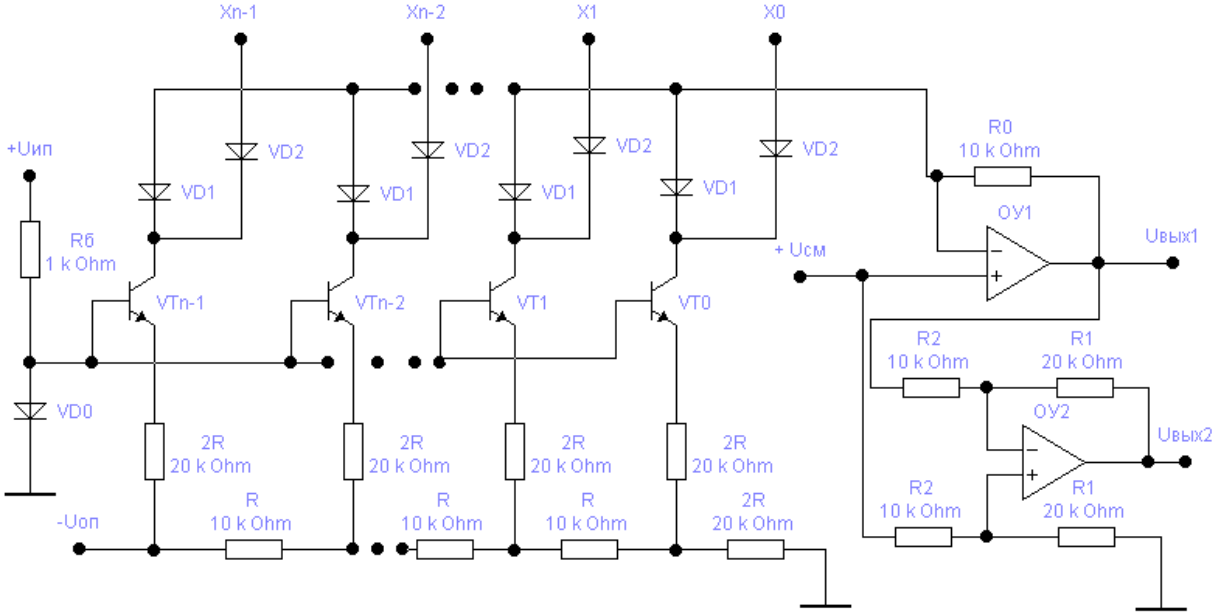


Рис. 14.6

наведена схема ЦАП на основі резистивної матриці R-2R, біполярних транзисторів VT0,…,VTn-1, включених за схемою із загальною базою, і перемикачів на струмів розрядів діодах VD1, VD2.

Вагові струми формуються за допомогою резистивної матриці R-2R. Потенціали баз транзисторів однакові і зміщені за допомогою ланцюжка $R_б$ - VD_0 так, щоб потенціали емітерів транзисторів приблизно дорівнювали нулю. Тоді струми емітерів транзисторів визначаються вузловими напругами, які формуються матрицею резисторів *R-2R*. Для транзистора VT_{n-1} ця напруга дорівнює $U_{n-1} = - U_{on}$, для транзистора VT_{n-2} вона по абсолютній величині вдвічі менше: $U_{n-2} = - U_{on} / 2$ і далі при переході від вузла до вузла напруга зменшується в два рази. Для *i*-го розряду вузлова напруга дорівнює:

$$U_i = - U_{on}/2^{n-1-i}.$$

Тоді емітерний струм *i*–го транзистора визначається виразом:

$$I_{эi} = U_i/2R = U_{on}/(2^{n-1-i}*2R) = U_{on}/(R\, 2^{n-i}).$$

Відповідно, струм колектора *i*–го транзистора постійний і дорівнює:

$$I_i = \alpha I_{эi} \approx U_{on}/(R\, 2^{n-i}),$$

де $\alpha \approx 1$ – коефіцієнт передачі струму транзистора в схемі із загальною базою.

Струми колекторів розрядних транзисторів протікають або через діод VD1, якщо логічна змінна розряду коду перетворення має низький рівень ($x_i = 0$) і діод VD2 замкнений, або через діод VD2, якщо логічна змінна розряду має високий рівень ($x_i = 1$). Тобто якщо $U_{xi} > U_{см}$ діод VD1 закритий, а VD2 відкритий, а якщо $U_{xi} < U_{см}$ діод VD1 відкритий, а VD2 закритий.

Струми діодів VD1 додаються і утворюють сумарний струм:

$$I_{\Sigma} = \sum_{i=0}^{n-1} I_i = \sum_{i=0}^{n-1} \frac{U_{on} x_i}{2^{n-i} R} = \frac{U_{on}}{2^n R} \sum_{i=1}^{n-1} x_i 2^i \quad ,$$

який протікає в основному через резистор R_0 в ланцюзі негативного зворотного зв'язку операційного підсилювача ОУ1. На його виході з урахуванням напруги зміщення $U_{см}$ формується напруга:

$$U_{вых1} = U_{см} - I_{\Sigma} R_0 = U_{см} - \frac{R_0}{R} \frac{U_{on}}{2^n} \sum_{i=0}^{n-1} x_i 2^i = U_{см} - \frac{R_0}{R} \frac{U_{on}}{2^n} \boldsymbol{X}.$$

Напруга зміщення $U_{см}$ необхідна для забезпечення нормального активного режиму транзисторів VT0…VTn-1. Для нейтралізації напруги $U_{см}$ і одночасно масштабування вихідної напруги ЦАП використовується схема віднімання на ОУ2. На його виході напруга дорівнює:

$$U_{вых2} = \frac{R_1 R_0}{R_2 R} \frac{U_{on}}{2^n} \boldsymbol{X_n} \ .$$

Основна перевага розглянутого ЦАП полягає в тому, що його вихідна напруга практично не залежить від опорів електронних ключів (в даному випадку діодів VD1 і VD2). Завдяки цьому вдається підвищити максимальну розрядність кодів перетворення: $n \leq 14$.

Недоліком схеми є робота біполярних транзисторів в активному режимі, внаслідок чого збільшується потужність, що розсіюється на колекторах транзисторів, і доводиться вирішувати проблеми тепловідведення. На транзисторі старшого розряду VT_{n-1} розсіюється найбільша потужність.

14.4. АЦП розгортаючого врівноваження

Принцип роботи аналого-цифрових перетворювачів (АЦП) полягає у вимірюванні рівня вхідного сигналу і видачі результату в цифровій формі. В результаті роботи АЦП дискретні відліки безперервного аналогового сигналу перетворюються у відповідні цифрові коди.

Для правильної роботи АЦП вхідний сигнал не повинен змінюватися протягом часу перетворення, для чого на його вході зазвичай поміщається схема вибірки-зберігання, яка фіксує миттєвий рівень сигналу і яка зберігає його протягом всього часу перетворення. На рис. 14.7 наведена схема АЦП, розгортаючого урівноваження, який перетворює аналоговий сигнал U_a в n-розрядний двійковий код Xn.

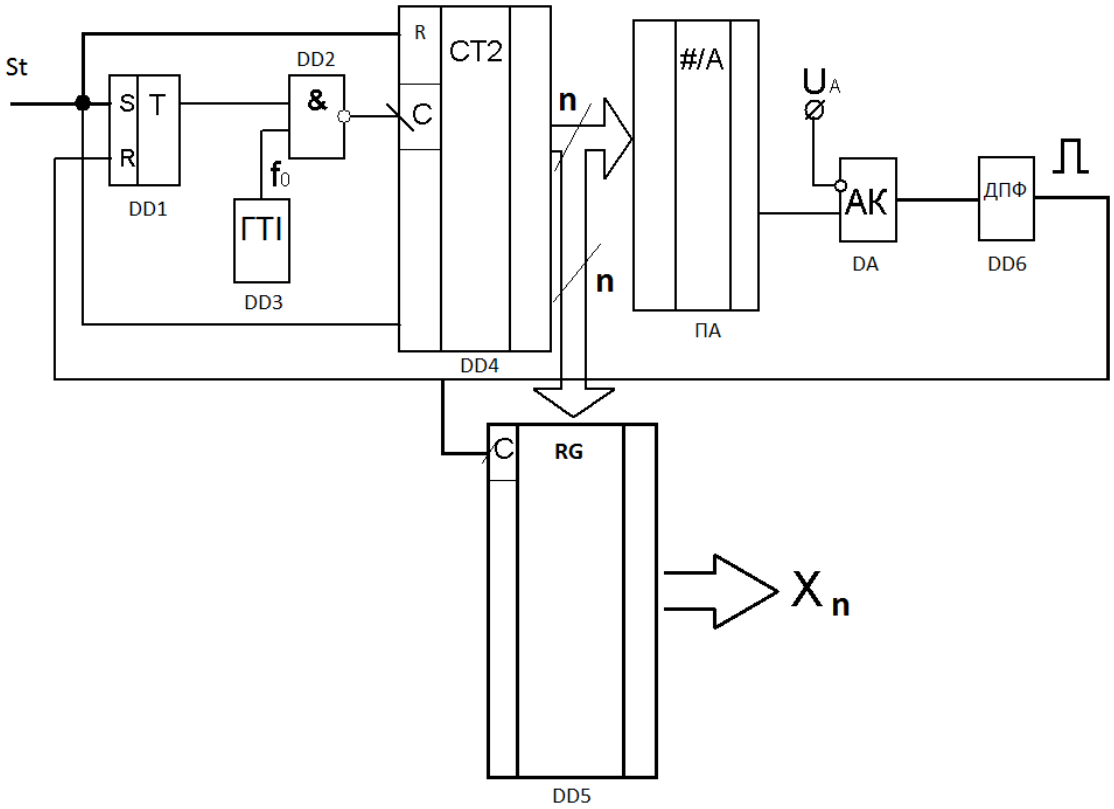


Рис.14.7

Цей перетворювач є типовим прикладом послідовних АЦП з одностороннім наближенням, який містить **RS**-тригер, генератор тактових імпульсів **ГТІ**, *n*-розрядний двійковий лічильник **СТ2**, аналоговий компаратор АК, цифро-аналоговий перетворювач **ПА** і *n*-розрядний регістр, керований сигналом з виходу детектору позитивного фронту **ДПФ**. На виході комутатора формується вихідний код ***Xn***. На один вхід компаратора АК надходить аналоговий вхідний сигнал U_a, а на іншій - сигнал з виходу **ЦАП**.

Робота перетворювача починається з приходу імпульсу запуску St, який встановлює в одиничний стан **RS**-тригер, вихід якого відкриває вентиль DD2 і імпульси від генератора тактових імпульсів **ГТІ** з частотою f_0 поступають на вхід лічильника **СТ2**, що сумує число вхідних імпульсів. Вихідний код лічильника подається на **ЦАП**, що здійснює його перетворення в напругу. Процес врівноваження триває доти, поки вихідна напруга **ЦАП** зрівняється або перевищить вхідну напругу U_a. У момент порівняння або перевищення вихідної напруги **ЦАП** із аналоговою напругою спрацьовує аналоговий компаратор АК.

Перехід виходу компаратора з 1 в 0 означає завершення процесу перетворення. Вихідний код ***Xn***, пропорційний вхідній напрузі в момент закінчення перетворення.

Час перетворення **АЦП** цього типу є змінним і залежить від вхідної напруги. Його максимальне значення $t_{пр.макс}$ відповідає максимальному вхідному напрузі і для n-розрядного двійкового лічильника і частоти тактових імпульсів f_0 дорівнює:

$$t_{пр.макс} = (2^n-1)/ f_0.$$

Наприклад, при $N=10$ та $f_0 = 1МГц$, $t_{пр.макс} = 1024$ *мкс*, що забезпечує максимальну частоту вибірок порядку 1 кГц.

Статична похибка перетворення визначається сумарною статичною похибкою використовуваних ЦАП і компаратора. Частоту тактових імпульсів необхідно вибирати з урахуванням завершення перехідних процесів в них.

При роботі без пристрою вибірки-зберігання апертурний час збігається з часом перетворення. Як наслідок, результат перетворення надзвичайно сильно залежить від пульсацій вхідної напруги. При наявності високочастотних пульсацій середнє значення вихідного коду нелінійно залежить від середнього значення вхідної напруги. Це означає, що АЦП даного типу без пристрою вибірки-зберігання придатні для роботи з постійними або повільно змінними напругами, які за час перетворення змінюються не більше, ніж на значення кванта перетворення.

Таким чином, особливістю АЦП розгортаючого урівноваження є невелика частота перетворення, що досягає декількох кілогерц:

$$f_{изм.макс} \leq 1/ t_{пр.макс} = f_0 / (2^n-1).$$

Перевагою АЦП даного класу є порівняна простота побудови, обумовлена послідовним характером виконання процесу перетворення, а недоліком - низька швидкодія.

14.5. АЦП слідкуючого врівноваження

На рис.14.8 наведена схема АЦП слідкуючого врівноваження, основними функціональними елементами якого є реверсивний двійковий лічильник, цифро-аналоговий перетворювач ПА, тактовий генератор імпульсів ГТІ, аналоговий компаратор АК, детектор позитивних і негативних фронтів ДФ і *n*-розрядний комутатор для видачі поточних значень цифрового коду ***Xn***.

Принцип дії АЦП слідкуючого врівноваження базується на використанні реверсивного лічильника, вихідний код якого перетворюється цифро-аналоговим перетворювачем у дискретизовану напругу U_x. Напруга $\boldsymbol{U_Ц}$ порівнюється із вхідним сигналом $\boldsymbol{U_A}$ аналоговим компаратором, який формує сигнал U_K управління напрямом рахунку лічильника. Таким чином, у лічильнику формується цифровий код X_n, що відповідає миттєвому значенню аналогової величини U_A:

$$U_A = X_n \Delta U + \delta U$$

де $\Delta U = U_{оп} / 2^n$,Место для формулы.
δU – похибка перетворення; причому $\Delta U \leq | \delta U|$.
На рис. 14.8 наведена структурна схема АЦП слідкуючого врівноваження.

Робота такого АЦП починається з подачі високоМесто для формулы.го рівня напруги $U_П$ на логічний елемент І-НЕ (DD1). Тактові імпульси з генератора ГТИ (DD2) частоти f_0 поступають на лічильник DD3.

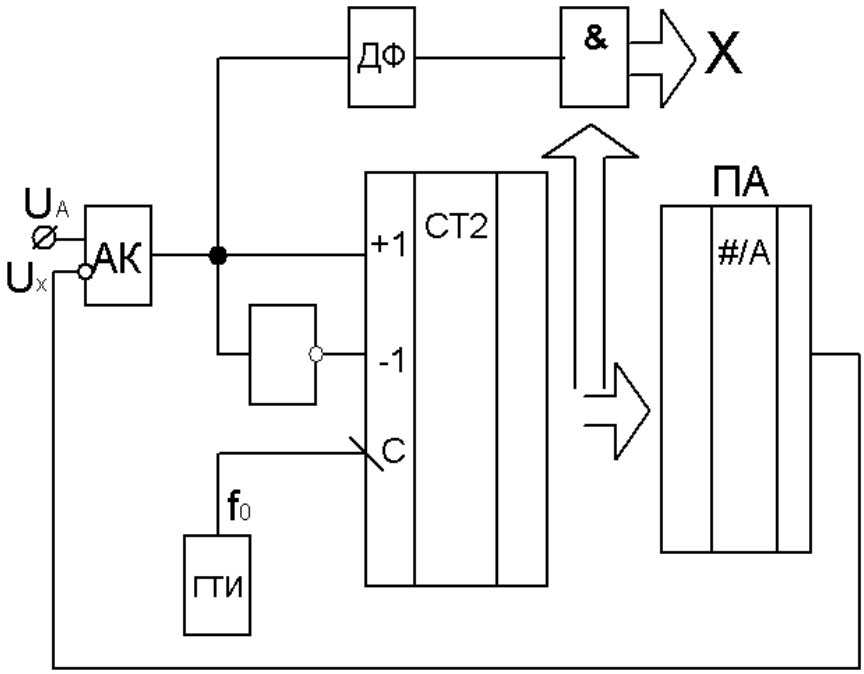


Рис.14.8

Тактові імпульси з частотою f_0 надходять на вхід лічильника ***СТ2***, вихідний код якого перетворюється в аналогову форму і як напруга U_x подається на вхід компаратора **АК** та порівнюється з аналоговим напругою перетворення U_a.

Якщо $U_x < U_a$, на виході компаратора встановлюється високий рівень і лічильник ***СТ2*** працює в режимі сумування. Напруга U_x поступово наростає і при $U_x > U_a$ компаратор перемикається в нульовий стан і лічильник ***СТ2*** переходить в режим віднімання. При цьому детектор фронту **ДФ** формує імпульс, який забезпечує видачу значення цифрового коду X_n, відповідного в даний момент аналоговій величині U_a. Напруга U_x далі поступово зменшується до тих пір, поки $U_x > U_a$. У момент порівняння або $U_x < U_a$ компаратор перемикається і переводить лічильник в режим сумування. При цьому детектор фронту **ДФ** знову формує імпульс видачі значення цифрового коду X_n. Таким чином, дискретизоване значення вихідної напруги U_x відстежує зміни вхідного напруги U_a.

Для нормальної роботи такого АЦП необхідно, щоб швидкість зміни аналогового сигналу U_a була менше швидкості зміни вихідної напруги ЦАП U_x. Тобто, має виконуватися умова:

$$dU_a/dt < \Delta U f_0 = U_{on} f_0/2^n ,$$

де ΔU – квант приросту вихідної напруги ЦАП, U_{on} – його опірна напруга. Чим менше швидкість зміни вхідного аналогового сигналу dU_a/dt , тим вище частота видачі кодів X_n. При $U_a = const$ частота видачі кодів Xn дорівнює f_0.

Перевагою розглянутого АЦП є простота структури. До недоліку можна віднести асинхронізм видачі кодів X_n.

14.6. АЦП порозрядного врівноваження

Перетворювач порозрядного врівноваження є найбільш поширеним варіантом послідовних АЦП.

В основі роботи цього класу перетворювачів лежить принцип дихотомії, тобто послідовного порівняння вимірюваної величини з 1/2, 1/4, 1/8 і т.д. від можливого максимального її значення. Це дозволяє для *n*-розрядного АЦП порозрядного врівноваження виконати весь процес перетворення за *n* послідовних кроків (ітерацій) замість 2^n тактів при використанні послідовного рахунку і отримати суттєву перевагу в швидкодії. Так, вже при *n* = 10 цей виграш досягає 100 разів і дозволяє отримати за допомогою таких АЦП до 10^5 ... 10^6 перетворень в секунду. У той же час статична похибка цього типу перетворювачів, що визначається в основному ЦАП, що використовуються в ньому, може бути дуже малою, що дозволяє реалізувати роздільну здатність до 14 двійкових розрядів при частоті вибірок до 200 кГц

Розглянемо принципи побудови та роботи АЦП послідовного наближення на прикладі структури, наведеної на рис.16.9, що складається з наступних основних вузлів: генератора тактових імпульсів **ГТІ**, **RS**-тригера, регістра послідовного наближення **РПН**, цифро-аналогового перетворювача **ЦАП**, аналогового компаратора **АК**, детектора позитивних фронтів **ДПФ** і *n*-розрядного регістра **RG** для зберігання і видачі поточних значень цифрового коду X_n..

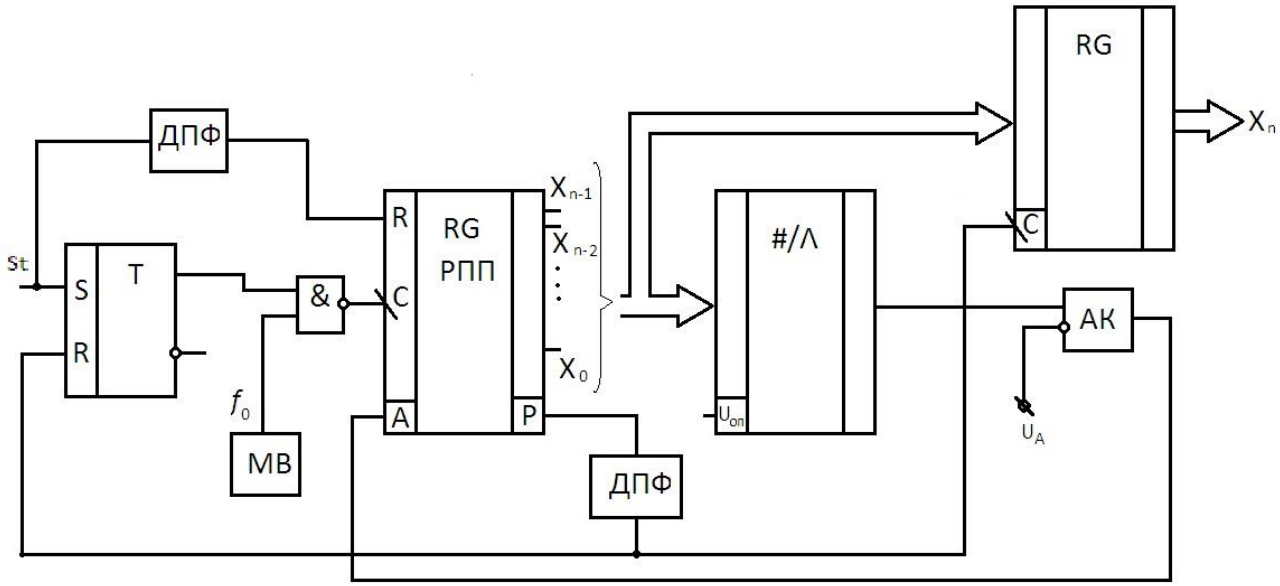


Рис. 14.9

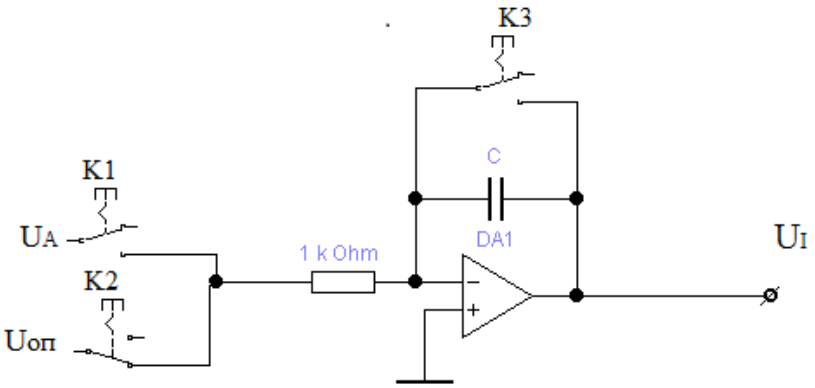
Стартовий вхідний імпульс ***St*** встановлює **RS**-тригер в стан «1» і *n*-розрядний регістр послідовного наближення РПН в початковий стан, коли в *n*-й розряд заноситься «1», а в інші розряди «0». Вміст РПН перетвориться на виході **ЦАП** у дискретизовану аналогову форму $\boldsymbol{U_ц}$ і порівнюється на аналоговому компараторі **АК** з поточним значенням аналогового сигналу $\boldsymbol{U_a}$. Якщо $\boldsymbol{U_ц} < \boldsymbol{U_a}$, стан *n*-го розряду фіксується на рівні «1», а у разі $\boldsymbol{U_x} > \boldsymbol{U_a}$ стан *n*-го розряду фіксується на рівні «0».

Наступним тактовим імпульсом заноситься «1» в (*n*-1)-й розряд **РПП** і аналогічно за станом вихідного сигналу аналогового компаратора **АК** визначається значення (*n*-1) -го розряду вихідного коду. За *n* тактів будуть визначені усі *n* розрядів коду $\boldsymbol{X_n}$. Через *n* тактів на виході **РПН** формується сигнал переповнення *P*, який перетворюється детектором позитивних фронтів **ДПФ** в імпульс скидання **RS**-тригера в стан «0». Цей же імпульс забезпечує перезапис вмісту регістра **РПН** як *n*-розрядний код ***Xn*** у регістр **RG**, що відповідає поточному значенню аналогового сигналу $\boldsymbol{U_a}$.

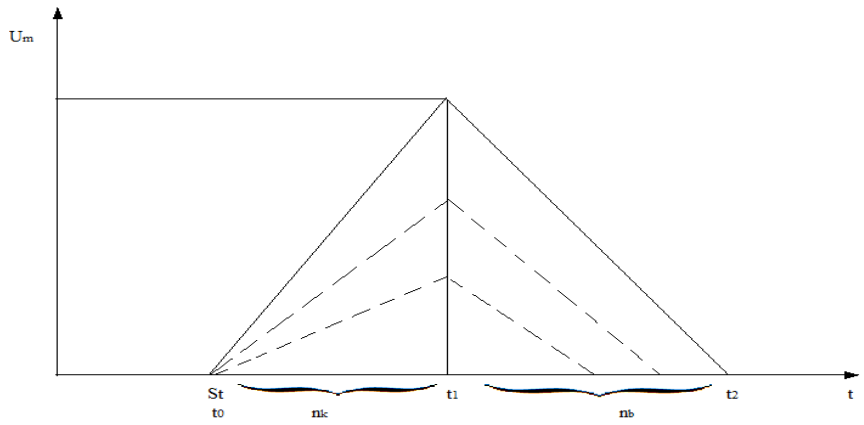
Даний клас АЦП займає проміжне положення за швидкодією, вартістю та роздільною здатністю між послідовно-паралельними і інтегруючими АЦП та знаходить широке застосування в системах управління, контролю і цифрової обробки сигналів.

14.7. АЦП подвійного інтегрування

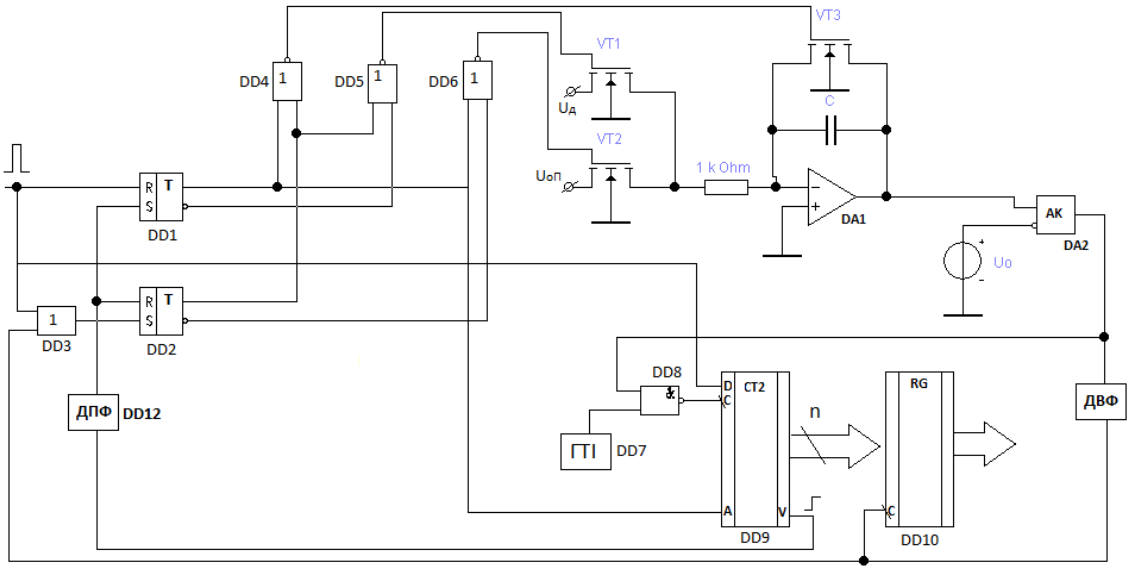
На рис. 16.10 наведений принцип перетворення (б), аналоговий інтегратор на операційному підсилювачі (а) та приклад реалізації АЦП подвійного інтегрування (в). Такий **АЦП** може знаходитись у одному з 3-х станів: накопичення, вимірювання, зберігання. Для фіксації станів необхідні принаймні 2 тригери (Q_1, Q_2), вихідні сигнали яких можна використати для керування ключами $К_1, К_2, К_3$ сигналами відповідно V_1, V_2, V_3. У таблиці 14.7 наведені стани тригерів відповідно до часових інтервалів і сигнали керування ключами на транзисторах VT_1, VT_2, VT_3.



а)



б)



в)

Рис. 14.10. АЦП подвійного інтегрування: а – концептуальна схема; б- часова діаграма перетворення; в – принципова схема

Таблиця 14.7

Стан	Інтервал часу	Q_1	Q_2	V_1	V_2	V_3	Реалізація V
Зберігання	$t < t_0; t > t_2$	0	0	0	0	1	$V_3 = \overline{Q_1} \cdot \overline{Q_2} = \overline{Q_1 + Q_2}$
Накопичення	$t_0 \le t \le t_1$	1	0	1	0	0	$V_1 = Q_1 \cdot \overline{Q_2} = \overline{Q_1 + Q_2}$
Вимірювання	$t_1 \le t \le t_2$	0	1	0	1	0	$V_2 = \overline{Q_1} \cdot Q_2 = \overline{Q_1 + Q_2}$

Робота АЦП починається з подачі стартового імпульсу St, який встановлює RS-тригер DD1 у стан $Q_1 = 1$, а RS-тригер DD2 підтверджує попередній стан Q_2= 0. Цим же сигналом у лічильник DD9 (вхід D) заноситься константа $n_н$, що визначає фіксовану кількість тактів накопичення $n_н$. Відповідно до таблиці станів логічними елементами АБО-НЕ DD4, DD5, DD6 формуються сигнали $V_1 = 1, V_2 = V_3 = 0$, ключ К1 на транзисторі $VT1$ замикається, а ключі К2, К3 на транзисторах відповідно $VT2, VT3$ розмикаються. Через $VT1$ на вхід інтегратора ДА1 поступає перетворений аналоговий сигнал U_A (для наведенного прикладу $U_A < 0$). Зростання вихідної напруги інтегратора $U_I > 0$ обумовлює встановлення на вихід аналогового компаратора ДА2 високого рівня U^1_k, який забезпечує елемент DD8 подачу тактових імпульсів на вихід С лічильника DD9. Режим роботи реверсивного лічильника визначається станом входу А: при А=1 лічильник функціонує у режимі віднімання, а при А = 0 - у режимі сумування. За $n_н$ тактів стан лічильника змінюється від $n_н$ до 0, коли на виході V лічильника формується високий рівень ($V = 1$), який детектором позитивних фронтів DD12 перетворюється у короткий позитивний імпульс. Імпульс з ДПФ (DD12) скидає RS-тригер DD1 ($Q_1 = 0$) і встановлює у стан $Q_2 = 1$ RS-тригер DD2, що відповідає переходу АЦП у стан вимірювання. При цьому сигнал $V_1 = 0$ запирає ключ К1 на транзисторі $VT1$, а сигнал $V_2 = 1$ замикає ключ К2 на транзисторі $VT2$. На вхід інтегратора подається фіксована опорна напруга $U_{оп}$ (у даному прикладі $U_{оп} > 0$) і на виході інтегратора напруги U_I зменшується по лінійному закону. При цьому на вході А лічильника DD9 діє низький рівень $A = Q_1 = 0$, тобто лічильник функціонує у режимі сумування. Коли вихідна напруга інтегратора досягає рівня $U_I \leq 0$(момент часу t_2), вихідний сигнал компаратора переключається у стан $U_K = 0$, який блокує надходження тактових імпульсів на вхід лічильника DD9. Таким чином, у лічильнику зберігається число X_n, яке є цифровим еквівалентом аналогової величини U_A. Детектор від'ємних фронтів (ДВФ) DD11 формує короткий позитивний імпульс, який скидає RS-тригер DD3 у стан $Q_2 = 0$ і АЦП переходить у режим зберігання до наступного стартового імпульсу St. Імпульс з ДВФ подається на вхід С паралельного регістра DD10, в якому зберігається визначений код X_n, пропорційний вхідній напрузі U_A:

$$X_n = - U_A\, n_н / U_{оп}\,.$$

Час перетворення АЦП цього типу є змінним і залежить від вхідної напруги U_A. Його максимальне значення $t_{пр.макс}$ відповідає максимальній вхідній напрузі і для n-розрядного двійкового лічильника і частоти тактових імпульсів f_0:

$$t_{пр.макс} = (2^n + 2^{nн})/f_0,$$

де $2^{nн}$- кількість тактів накопичення.

Основною перевагою розглянутого типу АЦП є:

- незалежність результату перетворення від стабільності параметрів інтегратора, що дозволяє реалізувати АЦП з розрядністю вихідного коду $n \leq 12$, без використання високоточних і високостабільних компонентів;
- похибка перетворення не залежить від стабільності параметрів компонентів інтегратора R, C (діапазон параметрів та їх зміни у часі внаслідок старіння, зміни температури тощо);

- похибка перетворення не залежить від стабільності частоти $f_г$ тактового генератора, якщо частота несуттєво змінюється в продовж інтервалу $t_0 \dots t_2$. Похибка перетворення залежить лише від стабільності опорної напруги $U_{оп}$.

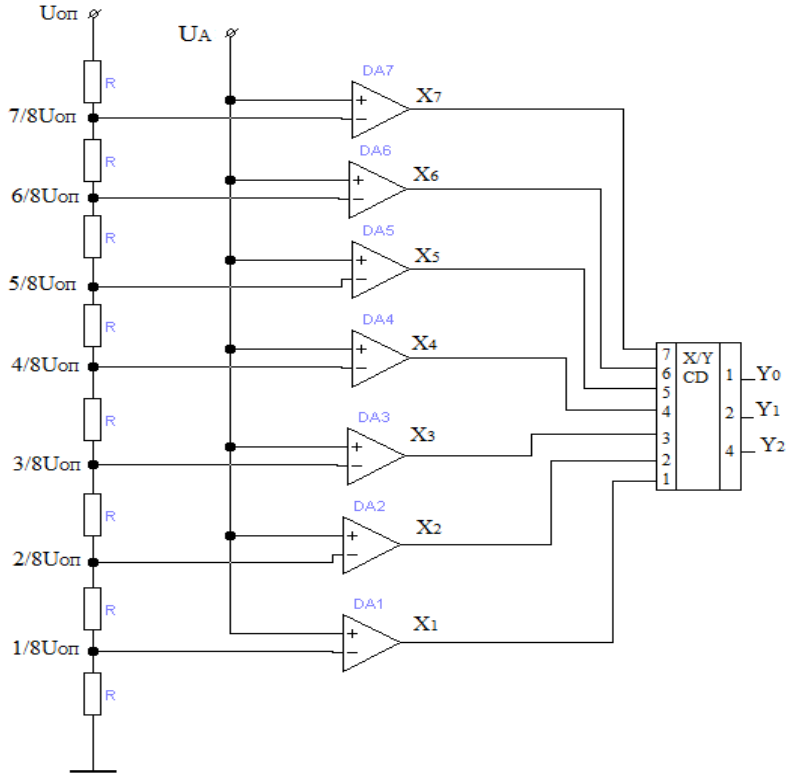
14.8. АЦП паралельного перетворення

Схема АЦП паралельного перетворення наведена на рис. 14.11.

У паралельному АЦП використовується принцип безпосереднього порівняння аналогової величини U_A з дискретними значеннями опорної напруги $U_{оп}$.

Порівн. U_A з $U_{ОП}$	X_7	X_6	X_5	X_4	X_3	X_2	X_1	Y_2	Y_1	Y_0
$0 U_A < 1/8\ U_{ОП}$	0	0	0	0	0	0	0	0	0	0
$1/8\ U_{ОП} \le U_A < 2/8\ U_{ОП}$	0	0	0	0	0	0	1	0	0	1
$2/8\ U_{ОП} \le U_A < 3/8\ U_{ОП}$	0	0	0	0	0	1	1	0	1	0
$3/8\ U_{ОП} \le U_A < 4/8\ U_{ОП}$	0	0	0	0	1	1	1	0	1	1
$4/8\ U_{ОП} \le U_A < 5/8\ U_{ОП}$	0	0	0	1	1	1	1	1	0	0
$5/8\ U_{ОП} \le U_A < 6/8\ U_{ОП}$	0	0	1	1	1	1	1	1	0	1
$6/8\ U_{ОП} \le U_A < 7/8\ U_{ОП}$	0	1	1	1	1	1	1	1	1	0
$7/8\ U_{ОП} \le U_A$	1	1	1	1	1	1	1	1	1	1

а.



б.

14.11. АЦП паралельного перетворення: *а* – таблиця квантування; *б* – структурна схема.

На рис. 16.11-*а* наведена таблиця порівняння аналогової напруги U_A з дискретними рівнями опорної напруги $U_{оп}$, поділеної у даному випадку на 8 діапазонів. Фізична реалізація дискретних рівнів забезпечується резистивним подільювачем напруги (рис.16.11-*б*).

Порівняння вхідної напруги U_A з дискретними рівнями виконується компараторами ***DA1-DA7***. Якщо $U_A > U_{on} \cdot i / 8$, на виході компаратора встановлюється $X_i = 1$. Таким чином, на виходах компараторів утворюється код (код Джонсона), який може бути перекодований у двійковий код $Y_2Y_1Y_0$ з допомогою перетворювача кодів (X/Y) або пріоритетного по старшим розрядам шифратора (CD).

Розглянутий тип АЦП не потребує тактування процесу перетворення. Формування вихідного коду X_n реалізується із затримкою проходження сигналу через компаратор і перетворювач коду, що забезпечує максимальну швидкодію АЦП. Треба відзначити, що складність схеми подвоюється при збільшенні розрядності вихідного коду n на $n + 1$. Наприклад, для $n = 8$ необхідно 255 компараторів і відповідний шифратор на 255 входів. Тому для реалізації багаторозрядних паралельних АЦП використовують паралельно-послідовні АЦП, які ще називають конвеєрними.

14.9. Конвеєрний АЦП

Принцип побудови конвеєрного АЦП заснований на визначенні різниці між вхідною напругою U_A і найближчім дискретним рівнем $U_{опі}$, підсиленні отриманої різниці до діапазону U_A, наступною дискретизації виділеної і підсиленої різниці у цифровий код молодших розрядів, виділенні різниці, підсиленні і подальшому перетворенні. Приклад такого «конвеєру» наведений на рис. 14.12.

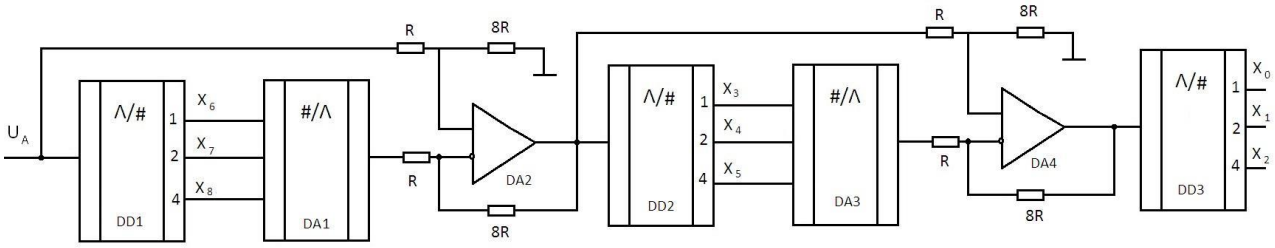


Рис. 14.12

На першому ступені перетворення паралельний АЦП DD1 перетворює вхідну аналогову напругу U_A у 3-розрядний код $(x_8x_7x_6)$ з похибкою дискретизації $\Delta U_1 < U_{ОП}/8$. Отриманий код $x_8x_7x_6$ з допомогою ЦАП DA1 перетворюється у аналогову величину $U_{Ц1}$. З допомогою схеми віднімання на операційному підсилювачі DA2 обчислюється похибка дискретизації $\Delta U_1 = U_A - U_{Ц1}$, яка одночасно підсилюється у 8 разів, що означає масштабування похибки до діапазону опорної напруги $U_{ОП}$:

$$U_{A2} = 8(U_A - U_{Ц1}).$$

На другому ступеню напруга U_{A2} з допомогою АЦП DD2 перетворюється у код молодших розрядів $x_5x_4x_3$, який ЦАП DA3 перетворює у дискретизовану напругу $U_{Ц2}$. Схема віднімання – підсилення на DA4 формує аналоговий сигнал U_{A3}, який АЦП DD3 перетворює у 3-розрядний код $x_2x_1x_0$. Таким чином формується 9-розрядний код $x_8x_7\ldots x_0$, який є цифровим аналогом вхідної напруги U_A.

Зазначимо, що уся операція перетворення не передбачає тактування компонентів конвеєрної структури. Останнім формуються молодші розряди $x_2x_1x_0$ із затримкою у ступенях описаної структури. Тому такі АЦП класифікують як паралельно-послідовні. Вони забезпечують мінімальний час $t_п$ перетворення $U_A \rightarrow Xn$, тобто максимальну частоту квантування аналогових сигналів:

$$f_{п\,max} \leq 1/t_п.$$